

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-156291

(43)Date of publication of application : 08.06.2001

(51)Int.Cl.

H01L 29/78  
H01L 21/265  
H01L 21/28  
H01L 21/8238  
H01L 27/092  
H01L 21/336

(21)Application number : 2000-155333

(71)Applicant : NEC CORP

(22)Date of filing : 25.05.2000

(72)Inventor : ONO ATSUKI  
HAMANAKA NOBUAKI

(30)Priority

Priority number : 11263571

Priority date : 17.09.1999

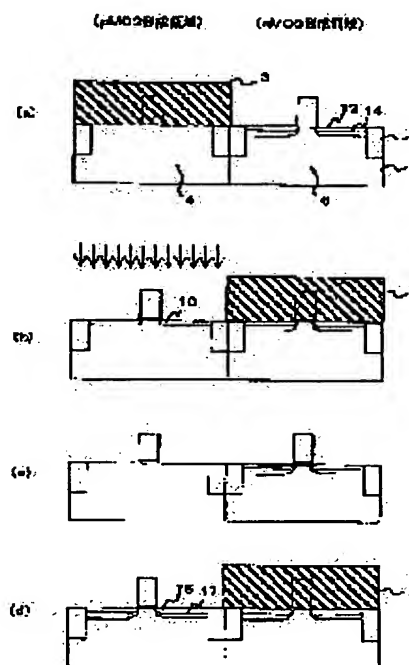
Priority country : JP

## (54) MANUFACTURING METHOD FOR MOS TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To restrain a MOS transistor from varying in threshold voltage in long-term service by a method wherein the MOS transistor is improved in slow trap characteristics restraining a lack of uniformity in threshold voltage due to reduction in a short channel characteristics.

SOLUTION: Fluorine ions are implanted into the surface of a silicon substrate 1 around a gate electrode in a PMOS forming region. Then, a first thermal treatment is carried out to remove interstitial silicon atoms which are generated when ions are implanted. Thereafter, fluorine ions are diffused into a region under a gate electrode by a second thermal treatment. In this case, the first thermal treatment is a lamp anneal treatment such as RTA or the like, and the second thermal treatment is an oven anneal treatment.



## LEGAL STATUS

[Date of request for examination]

25.05.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-156291

(P2001-156291A)

(43) 公開日 平成13年6月8日 (2001.6.8)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード* (参考)	
H 0 1 L 29/78		H 0 1 L 21/265	6 0 2 B	4 M 1 0 4
21/265	6 0 2		6 0 2 A	5 F 0 4 0
	6 0 4	21/28	6 0 4 Z	5 F 0 4 8
21/28	3 0 1	29/78	3 0 1 T	
			3 0 1 H	
審査請求 有 請求項の数12 O L (全 23 頁) 最終頁に続く				

(21) 出願番号 特願2000-155333(P2000-155333)

(22) 出願日 平成12年5月25日 (2000. 5. 25)

(31) 優先権主張番号 特願平11-263571

(32) 優先日 平成11年9月17日 (1999. 9. 17)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 小野 篤樹

東京都港区芝五丁目7番1号 日本電気株式会社社内

(72) 発明者 濱中 信秋

東京都港区芝五丁目7番1号 日本電気株式会社社内

(74) 代理人 100088328

弁理士 金田 暢之 (外2名)

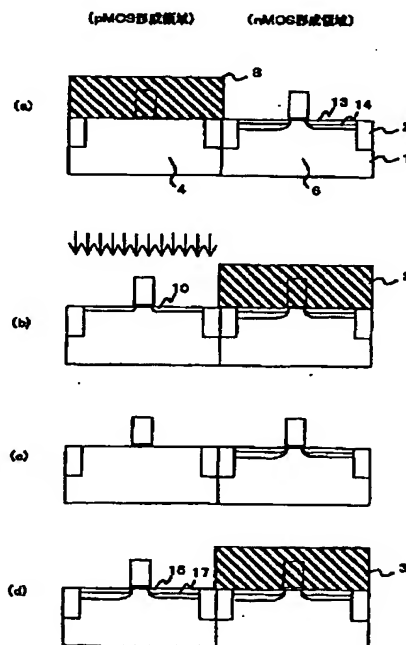
最終頁に続く

(54) 【発明の名称】 MOSトランジスタの製造方法

## (57) 【要約】

【課題】短チャネル特性の低下による閾値電圧のばらつきを抑えつつMOSトランジスタのスロートラップ特性を向上させ、長期使用時におけるトランジスタの閾値電圧の変動を抑えること。

【解決手段】p MOS形成領域におけるゲート電極周辺のシリコン基板1表面にフッ素イオンをイオン注入する。次いで第一の熱処理を行い、イオン注入の際に生じた格子間シリコン原子を除去する。その後、第二の熱処理によりフッ素イオンをゲート電極直下の領域に拡散させる。熱処理の方法については、たとえば、第一の熱処理をRTA等のランプアニール処理とし、第二の熱処理を炉アニールとする。



## 【特許請求の範囲】

【請求項1】 シリコン基板上にゲート絶縁膜を介してゲート電極を形成する工程と、少なくとも前記ゲート電極周辺のシリコン基板表面にフッ素イオンをイオン注入する工程と、第一の熱処理により前記イオン注入の際に生じた格子間シリコン原子を除去する工程と、第一の熱処理の後、第二の熱処理により前記フッ素イオンを前記ゲート絶縁膜直下の領域に拡散させる工程とを含むことを特徴とするMOSトランジスタの製造方法。

【請求項2】 第二の熱処理の熱処理温度が、第一の熱処理の熱処理温度よりも低いことを特徴とする請求項1に記載のMOSトランジスタの製造方法。

【請求項3】 第一の熱処理をランプアニールとし、第二の熱処理を炉アニールとすることを特徴とする請求項1または2に記載のMOSトランジスタの製造方法。

【請求項4】 第一の熱処理の熱処理温度を900～1100℃とすることを特徴とする請求項1乃至3いずれかに記載のMOSトランジスタの製造方法。

【請求項5】 第二の熱処理の熱処理温度を600～850℃とすることを特徴とする請求項1乃至4いずれかに記載のMOSトランジスタの製造方法。

【請求項6】 前記MOSトランジスタがp型トランジスタであることを特徴とする請求項1乃至5いずれかに記載のMOSトランジスタの製造方法。

【請求項7】 第二の熱処理を行う工程の後、前記ゲート電極の側面にサイドウォールを形成し、その後、ソース・ドレイン領域形成のための不純物をイオン注入する工程を行うことを特徴とする請求項1乃至6いずれかに記載のMOSトランジスタの製造方法。

【請求項8】 フッ素イオンのドーズ量を $1 \times 10^{13} \text{ cm}^{-2}$ 以上 $1 \times 10^{15} \text{ cm}^{-2}$ 以下とすることを特徴とする請求項1乃至7いずれかに記載のMOSトランジスタの製造方法。

【請求項9】 シリコン基板上にn型MOSトランジスタおよびp型MOSトランジスタを形成する工程を含み、前記p型MOSトランジスタの形成を請求項1乃至8いずれかに記載の方法にしたがって行う相補型MOSトランジスタの製造方法であって、n型MOSトランジスタ形成領域の一部または全部をマスクにより覆った後、前記フッ素イオンをイオン注入する工程を行い、その後、p型MOSトランジスタを構成するゲート電極および拡散層の表面の少なくとも一部およびn型MOSトランジスタを構成するゲート電極および拡散層の表面の少なくとも一部に、高融点金属のシリサイド層を形成する工程を行うことを特徴とする相補型MOSトランジスタの製造方法。

【請求項10】 シリコン基板上にn型MOSトランジスタおよびp型MOSトランジスタを形成する工程を含み、前記p型MOSトランジスタの形成を請求項1乃至8いずれかに記載の方法にしたがって行い、前記n型M

OSトランジスタの拡散層および/またはゲート電極形成の際に砒素のイオン注入を行う相補型MOSトランジスタの製造方法であって、前記砒素のイオン注入のドーズ量を $4 \times 10^{15} \text{ cm}^{-2}$ 以下とし、前記砒素のイオン注入の後、p型MOSトランジスタを構成するゲート電極および拡散層の表面の少なくとも一部およびn型MOSトランジスタを構成するゲート電極および拡散層の表面の少なくとも一部に、高融点金属のシリサイド層を形成する工程を行うことを特徴とする相補型MOSトランジスタの製造方法。

【請求項11】 シリコン基板上にn型MOSトランジスタおよびp型MOSトランジスタを形成する工程を含み、前記p型MOSトランジスタの形成を請求項1乃至8いずれかに記載の方法にしたがって行い、前記n型MOSトランジスタの拡散層および/またはゲート電極形成の際に砒素のイオン注入を行う相補型MOSトランジスタの製造方法であって、前記砒素のイオン注入の加速電圧を30KeV以下とし、前記砒素のイオン注入の後、p型MOSトランジスタを構成するゲート電極および拡散層の表面の少なくとも一部およびn型MOSトランジスタを構成するゲート電極および拡散層の表面の少なくとも一部に、高融点金属のシリサイド層を形成する工程を行うことを特徴とする相補型MOSトランジスタの製造方法。

【請求項12】 前記の高融点金属シリサイド膜の成分となる高融点金属は、コバルト、ニッケルまたは鉄であることを特徴とする請求項9乃至11いずれかに記載の相補型MOSトランジスタの製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、MOSトランジスタにおいて、長期使用時の閾値電圧の変化を改善する技術に関する。

【0002】

【従来の技術】 従来のMOSトランジスタの製造方法について、CMOS（相補型MOSトランジスタ）形成プロセスを例にとり、図17～図19を参照して説明する。

【0003】 まず図17(a)のように、シリコン基板1上に素子分離膜2を形成した後、nMOS形成領域にフォトレジスト3を設け、pMOS形成領域にリン等のn型不純物をイオン注入する。これによりn型ウェル4を形成する。つづいてフォトレジスト3を残したまま、閾値電圧調整のための不純物を注入する。次いで図17(b)のように、pMOS形成領域にフォトレジスト3を設け、nMOS形成領域にp型不純物をイオン注入する。これによりp型ウェル6を形成する。つづいてフォトレジスト3を残したまま、閾値電圧調整のための不純物を注入する。次に、活性領域の表面にゲート絶縁膜7を形成し、ゲート電極材料を積層した後、これらをバタ

ーニングしてゲート電極を形成する(図17(c))。

【0004】次に図18(a)に示すように、pMOS形成領域にフォトレジスト3を設け、nMOS形成領域にn型不純物をイオン注入し、低濃度のソース・ドレインエクステンション領域13を形成する。次いでフォトレジスト3を残したままp型不純物をイオン注入し、短チャネル効果防止のためのポケット領域14を形成する。同様に、図18(b)に示すように、pMOS形成領域にp型不純物およびn型不純物をこの順でイオン注入し、ソース・ドレインエクステンション領域16、

ポケット領域17を形成する。  
【0005】次いで、ゲート電極20およびゲート電極21に対して、それぞれ、サイドウォール18およびサイドウォール19を設ける(図19(a))。つづいてnMOS形成領域にフォトレジスト3を設けた後、pMOS形成領域にp型不純物のイオン注入を行う。これにより高濃度のソース・ドレイン領域22の形成とゲート電極20への不純物導入が同時に行われる(図19

(b))。次にpMOS形成領域にフォトレジスト3を設けてnMOS形成領域にn型不純物のイオン注入を行う。これにより高濃度のソース・ドレイン領域23の形成とゲート電極21への不純物導入が同時に行われる(図19(c))。その後、ソース・ドレイン領域およびゲート電極中の不純物を活性化のための熱処理を行う。以上のようにしてCMOSを構成するトランジスタが形成される。

【0006】上記プロセスは、従来の製造方法の一例を示すものであり、ソース・ドレイン領域の形成方法等、種々の方法が検討されている。

【0007】ところが、従来のCMOSを長期にわたって使用すると、pMOSの閾値電圧 $V_{th}$ が変動するという現象が起こる。この現象は、pMOSが表面チャネル型の構造をとり、ソース・ドレイン領域の接合が浅くなった場合により顕著となる。さらにこの現象は、素子の微細化が進んだ場合、特に、ゲート長が $0.2\mu\text{m}$ 以下となってトランジスタの閾値電圧が低くなった場合に顕著となる。従来、上記現象について認識されることは少なかったが、素子が微細化し、一層の高性能化が求められる状況にあっては、重要な技術的課題となる。本発明者は上記現象について種々の検討を行った結果、チャネル領域のキャリアのスロートラップが原因となって上記現象が起こることを見出した。

【0008】ゲート絶縁膜直下の領域はトランジスタのチャネル領域として機能するが、このチャネル領域を構成するシリコンの終端部は、図16(a)のように、未結合のまま残存した形態(ダングリングボンド)や水素で結合された形態となっている。ここでダングリングボンドはキャリアをトラップし、チャネル領域の機能を低下させることから、従来技術では、通常、水素アニール処理を行い水素で終端させてSi-H結合を生じさせる

ことによりダングリングボンドを解消していた。ところがSi-Hの結合エネルギーは比較的低いため、水素が経時的に脱離し、再びダングリングボンドを生じやすい。このようにトランジスタの使用により経時的にダングリングボンドが増加していくと、チャネル領域のキャリアのトラップされる程度が経時的に増大する。この現象を以下、スロートラップという。このようなスロートラップが発生すると、閾値電圧が経時的に変化し、ドレイン飽和電流が経時的に低下するといった問題を引き起こすこととなる。

【0009】上記スロートラップの問題に対し、本発明者は特願平11-070723号で、解決方法を提案している。この提案は、サイドウォールを設け、ソース・ドレイン領域形成のための不純物のイオン注入及びその活性化熱処理を行った後に、フッ素イオンをイオン注入した後、炉アニール等により熱処理を加えて、ゲート酸化膜と基板のシリコンとの界面に存在するダングリングボンド及びSi-H結合をSi-F結合に変換するというものである。

【0010】この方法を採用すれば、スロートラップ特性を向上させ、長期使用時におけるトランジスタの特性を安定化することができる。特に、ゲート長(ソース・ドレイン間距離) $0.18\mu\text{m}$ 程度以上の領域では長期信頼性を確保し、設計されたトランジスタ特性が得られるため、非常に有効な技術である。しかしながら上記方法を、たとえばゲート長 $0.15\mu\text{m}$ 以下の微細化したトランジスタに適用すると、トランジスタの閾値電圧のばらつきを生じる場合がある。この点について以下、説明する。

【0011】上記方法では、ソース・ドレイン領域の活性化熱処理後にフッ素を導入するため、通常、サイドウォールの外側から導入することとなる。すなわち、ゲート電極直下のチャネル領域から比較的離れた位置からフッ素を導入することになるため、チャネル領域において充分にSi-F結合を形成するためには比較的大量のフッ素導入が必要となる。ところが、このような大量のフッ素イオン注入を行うと、フッ素注入に伴い基板中に導入される格子間シリコン原子も多くなる。格子間シリコン原子はチャネル領域の不純物とペアを形成してシリコン基板中を増速拡散し、チャネル領域の不純物濃度分布の変動を引き起こすこととなる。

【0012】格子間シリコン原子と不純物とが結合したペアは拡散係数が大きく、低温でも速く拡散してしまい、例えばCVD法による酸化膜の形成温度( $700\sim 800^\circ\text{C}$ 程度)でも生じる。この格子間シリコン原子不純物ペアによる不純物濃度分布の再分布現象は、熱平衡濃度以上の格子間原子シリコンが存在し、その状態で熱処理が行われることで生じる。即ち、通常の熱処理工程では不純物は拡散しなくとも、イオン注入工程などで発生した格子間シリコン原子が多数存在する場合では、通

常の熱処理温度以上の温度で処理されたような大きな拡散現象が起きる訳である。

【0013】上記のようにして生じる不純物濃度分布の変動は、トランジスタサイズが比較的大きい場合はあまり問題とならなかったが、トランジスタが微細化され、たとえばゲート長0.15  $\mu\text{m}$ 以下の領域となると問題となる場合がある。この点について以下、説明する。

【0014】トランジスタが微細化されてくると、トランジスタを動作させる電源電圧が更に小さくなり、それに伴いトランジスタの重要な特性パラメータである閾値電圧を小さくする設計が必要になってくる。この低い閾値電圧は周知の通り、チャネル領域の不純物濃度を下げることで実現される。但し、チャネル領域の不純物濃度を単に低くしてしまうと、パンチスルー現象のため、トランジスタが正常動作しなくなる恐れも生じてしまう。したがって、トランジスタが微細化すればするほど、チャネル端の不純物濃度の設計は非常に高精度に行うことが必要になってくる。特に、ゲート長が0.15  $\mu\text{m}$ 以下の高性能が要求されるトランジスタでは、低い閾値電圧で設計されるため、閾値電圧に与えるチャネル領域の不純物濃度分布の影響が大きくなり、チャネル領域の不純物濃度分布のわずかな差により、閾値電圧が大きく変動することとなる。このような閾値電圧の変動が生じると、LSI等の半導体装置に含まれる複数のトランジスタの閾値電圧が大きくばらつくこととなり、回路性能に大きな悪影響を与える場合がある。従って、スロートラップの問題を解決しても、素子性能の安定性、更には、集積回路の動作の安定性が低下するという新たな弊害が生じることとなるのである。

【0015】増速拡散によるチャネル領域の不純物濃度分布の変動を抑えつつフッ素を導入する方法として、フッ素導入時期を変更することも考えられる。しかし、増速拡散は、ソース・ドレイン領域の活性化熱処理後、すなわち不純物が格子間(サイト)に収まっている状態でも生じることから、フッ素導入時期の変更のみでは増速拡散を防止することは困難である。フッ素導入時期を変更する方法として、たとえば、ゲート酸化膜形成及びフッ素導入を行い、その後、チャネル不純物(閾値電圧制御用不純物)をイオン注入することも考えられる。しかしこの方法では、ゲート酸化膜にイオン注入ダメージが与えられ、トランジスタの性能や歩留まりが大きく低下するという問題が生じる。特に、微細化したトランジスタにおいてはゲート酸化膜の膜厚も薄くなるため、イオン注入ダメージの影響が大きくなり、上記問題が顕著となる。

【0016】ところで、上記提案と目的は異なるが、フッ素を導入する技術については種々の検討がなされている。

【0017】特開平5-251463号公報には、LDD領域(n<sup>-</sup>層)形成のための不純物イオン注入によ

り、LDD(n<sup>-</sup>層)領域のゲート酸化膜/シリコン基板界面にホットキャリアトラップとなる結晶欠陥が発生するのを防止するために、n<sup>-</sup>型不純物導入後にフッ素ガス中でアニールすることにより、上記結晶欠陥をSi-F結合に変えて、ホットキャリアトラップをなくすることが記載されている。

【0018】これによれば、n<sup>-</sup>層活性化前にSi-F結合を作るため、不純物の増速拡散による不純物濃度再分布現象は発生しない可能性があるが、スロートラップ問題については何ら考慮されておらず、その解決策もない。

【0019】特開平8-330441号公報には、ボロン突き抜けを防止しつつ、ソース・ドレイン領域を薄層化することが記載されている。p型MOSトランジスタではソース・ドレイン領域を薄層化するため、BF<sub>3</sub>イオンを用いてイオン注入飛程を浅くしている。このとき、ポリシリコンゲート電極中にも同時にBF<sub>3</sub>がイオン注入され、低抵抗化が図られるが、ゲート電極中のフッ素によって、ボロンがゲート酸化膜を突き抜け、シリコン基板に到達する現象が促進される。その結果、チャネル領域の不純物プロファイルが変わり、V<sub>th</sub>変動する(いわゆるボロン突き抜け)問題が発生する。このボロン突き抜け問題を防止するとともにソース・ドレイン領域を薄層化するため、ソース・ドレイン領域にはボロンのイオン注入飛程を浅くするためのフッ素をイオン注入した後、ボロンをイオン注入し、ゲート電極にはフッ素をイオン注入せず、ボロンのみをイオン注入するようにしたことが記載されている。

【0020】しかし、スロートラップ問題については何ら考慮されておらず、スロートラップ寿命の改善と格子間シリコン原子の問題とをどのように解決したらよいかとの課題意識すらない。

【0021】特開平9-252117号公報には、LDD領域のゲート電極側端部、すなわちソース・ドレイン領域とチャネル領域との間に、高濃度のフッ素が導入された終端層を設けたトランジスタが開示されている。このトランジスタは、上記構成により、いわゆるボロン突き抜けによって引き起こされる閾値電圧の変動やボロンの導入に伴うSi/SiO<sub>2</sub>界面の界面準位の発生を抑えることができるとされている。

【0022】しかし、スロートラップ問題については何ら考慮されておらず、スロートラップ寿命の改善と格子間シリコン原子の問題とをどのように解決したらよいかとの課題意識もない。なお、この従来技術のフッ素の終端層はチャネルとソース・ドレイン領域との間に形成されるのみである。よって、チャネル領域全体のゲート絶縁膜と基板のシリコンとの界面には、シリコンのダングリングボンドやSi-H結合が大量に残存しているために、スロートラップ問題を解決することはできない。

【0023】特開平7-321310号公報には、n型

10

20

30

40

50

MOSTランジスタについて、ゲート絶縁膜形成後、ゲート電極形成前の段階で閾値電圧制御とパンチスルーストップのためのボロンを注入後、フッ素をイオン注入し、ボロン注入によって生じる結晶欠陥にフッ素をバイルアップさせることにより、基板表面から一定距離をおいた領域に「不純物拡散抑制層」を形成し、これによりソース・ドレイン領域を形成する不純物であるリンやヒ素の拡散をフッ素によって抑制して、電流増幅率を下げることなく短チャネル効果を抑制する技術が開示されている。

【0024】しかし、スロートラップ問題については何ら考慮されておらず、スロートラップ寿命の改善と格子間シリコン原子の問題とをどのように解決したらよいかとの課題意識もない。なお、この従来技術のフッ素はチャネル領域よりも深い部分に導入されているのみである。よって、肝心のゲート絶縁膜と基板のシリコンとの界面には、シリコンのダングリングボンドやSi-H結合が大量に残存しているために、スロートラップ問題を解決することはできない。

【0025】特開平7-283400号公報には、イオン注入によってLDD領域を形成したとき、薄層化が困難であり、また結晶欠陥による接合リーク電流が増大するという問題が生じるため、イオン注入することなく浅いLDD領域を形成することを狙ったことが記載されている。そのために、ゲート電極の側壁にボロン含有側壁酸化膜を設け、その側壁直下にフッ素が導入されたゲート酸化膜を残した状態で熱処理することにより、半導体基板への側壁酸化膜中のボロンの拡散をゲート酸化膜中のフッ素によって促進させることによって実現することが記載されている。

【0026】しかし、ゲート酸化膜中導入されたフッ素によって、ボロン突き抜け問題が生じてしまう。しかも、スロートラップ問題については何ら考慮されておらず、スロートラップ寿命の改善と格子間シリコン原子の問題とをどのように解決したらよいかとの課題意識も勿論ない。

【0027】以上のように、これらはいずれもソース・ドレイン端部にフッ素導入層を形成し、あるいは、ゲート絶縁膜中にフッ素を導入するものであり、これにより、ゲート電極近傍における電界集中部分の構造を改善し、短チャネル特性やリーク特性等を改良する技術であって、スロートラップ特性を改善するものではない。

【0028】また、上記従来技術においては、その後n型ゲート電極上、若しくはn型拡散層上に高融点金属シリサイド層を形成することを鑑みておらず、これら技術に従い、上記の領域上に高融点金属シリサイド層を形成した場合、シリサイド表面形状が劣化する、形成されたシリサイド層が高抵抗化するという問題があった。

【0029】

【発明が解決しようとする課題】本発明は、上記した事

情に鑑み、短チャネル特性の低下による閾値電圧のばらつきを抑えつつMOSTランジスタのスロートラップ特性を向上させ、長期使用時におけるトランジスタの閾値電圧の変動を抑えることを目的とする。

【0030】また本発明は、上記した事情に鑑み、シリサイド表面形状の劣化を防止し、シリサイド層抵抗を低抵抗化すると同時に、MOSTランジスタのスロートラップ特性を向上させ、長期使用時におけるトランジスタの閾値電圧の変動を抑えることを目的とする。

10 【0031】

【課題を解決するための手段】上記課題を解決する本発明は、下記の事項により特定される。

【0032】[1]シリコン基板上にゲート絶縁膜を介してゲート電極を形成する工程と、少なくとも前記ゲート電極周辺のシリコン基板表面にフッ素イオンをイオン注入する工程と、第一の熱処理により前記イオン注入の際に生じた格子間シリコン原子を除去する工程と、第一の熱処理の後、第二の熱処理により前記フッ素イオンを前記ゲート絶縁膜直下の領域に拡散させる工程とを含むことを特徴とするMOSTランジスタの製造方法。

20

【0033】[2]第二の熱処理の熱処理温度が、第一の熱処理の熱処理温度よりも低いことを特徴とする

[1]に記載のMOSTランジスタの製造方法。

【0034】[3]第一の熱処理をランプアニールとし、第二の熱処理を炉アニールとすることを特徴とする[1]または[2]に記載のMOSTランジスタの製造方法。

【0035】[4]第一の熱処理の熱処理温度を900～1100℃とすることを特徴とする[1]乃至[3]

30

いずれかに記載のMOSTランジスタの製造方法。

【0036】[5]第二の熱処理の熱処理温度を600～850℃とすることを特徴とする[1]乃至[4]いずれかに記載のMOSTランジスタの製造方法。

【0037】[6]前記MOSTランジスタがp型トランジスタであることを特徴とする[1]乃至[5]いずれかに記載のMOSTランジスタの製造方法。

【0038】[7]第二の熱処理を行う工程の後、前記ゲート電極の側面にサイドウォールを形成し、その後、ソース・ドレイン領域形成のための不純物をイオン注入する工程を行うことを特徴とする[1]乃至[6]いずれかに記載のMOSTランジスタの製造方法。

40

【0039】[8]フッ素イオンのドーズ量を $1 \times 10^{13} \text{ cm}^{-2}$ 以上 $1 \times 10^{15} \text{ cm}^{-2}$ 以下とすることを特徴とする[1]乃至[7]いずれかに記載のMOSTランジスタの製造方法。

【0040】[9]シリコン基板上にn型MOSTランジスタおよびp型MOSTランジスタを形成する工程を含み、前記p型MOSTランジスタの形成を[1]乃至[8]いずれかに記載の方法にしたがって行う相補型MOSTランジスタの製造方法であって、n型MOSTラ

50

ンジスタ形成領域の一部または全部をマスクにより覆った後、前記フッ素イオンをイオン注入する工程を行い、その後、p型MOSトランジスタを構成するゲート電極および拡散層の表面の少なくとも一部およびn型MOSトランジスタを構成するゲート電極および拡散層の表面の少なくとも一部に、高融点金属のシリサイド層を形成する工程を行うことを特徴とする相補型MOSトランジスタの製造方法。

【0041】[10]シリコン基板上にn型MOSトランジスタおよびp型MOSトランジスタを形成する工程を含み、前記p型MOSトランジスタの形成を[1]乃至[8]いずれかに記載の方法にしたがって行い、前記n型MOSトランジスタの拡散層および/またはゲート電極形成の際に砒素のイオン注入を行う相補型MOSトランジスタの製造方法であって、前記砒素のイオン注入のドーズ量を $4 \times 10^{13} \text{ cm}^{-2}$ 以下とし、前記砒素のイオン注入の後、p型MOSトランジスタを構成するゲート電極および拡散層の表面の少なくとも一部およびn型MOSトランジスタを構成するゲート電極および拡散層の表面の少なくとも一部に、高融点金属のシリサイド層を形成する工程を行うことを特徴とする相補型MOSトランジスタの製造方法。

【0042】[11]シリコン基板上にn型MOSトランジスタおよびp型MOSトランジスタを形成する工程を含み、前記p型MOSトランジスタの形成を[1]乃至[8]いずれかに記載の方法にしたがって行い、前記n型MOSトランジスタの拡散層および/またはゲート電極形成の際に砒素のイオン注入を行う相補型MOSトランジスタの製造方法であって、前記砒素のイオン注入の加速電圧を30KeV以下とし、前記砒素のイオン注入の後、p型MOSトランジスタを構成するゲート電極および拡散層の表面の少なくとも一部およびn型MOSトランジスタを構成するゲート電極および拡散層の表面の少なくとも一部に、高融点金属のシリサイド層を形成する工程を行うことを特徴とする相補型MOSトランジスタの製造方法。

【0043】[12]前記の高融点金属シリサイド膜の成分となる高融点金属は、コバルト、ニッケルまたは鉄であることを特徴とする[9]乃至[11]いずれかに記載の相補型MOSトランジスタの製造方法。

【0044】トランジスタの長期信頼性特性であるスロートラップ寿命の改善のためには、チャネル領域全域にフッ素を導入することが有効である。しかし、フッ素を基板中にイオン注入により導入すると、同時に格子間シリコン原子が導入されるため、増速拡散によるチャネル領域の不純物濃度分布の変動を引き起こすこととなる。この場合、トランジスタの性能や歩留まりが著しく低下する。

【0045】本発明はこのような問題を解決するものであり、チャネル不純物（閾値電圧制御用不純物）が存在

する状態でフッ素を導入してもフッ素の増速拡散を有効に防止し、かつ、チャネル領域にSi-F結合を高効率で形成するものである。すなわち、フッ素のイオン注入によって生じた格子間シリコン原子を第一の熱処理によって消滅させた後、第二の熱処理によってチャネル領域にフッ素を移動させてSi-F結合を高効率で形成するものである。

【0046】本発明のMOSトランジスタの製造方法は、フッ素イオンを導入した後、2段階の熱処理を行っている点が特徴の一つとなっている。

【0047】第一の熱処理はフッ素イオン注入に伴い基板表面に生じた格子間シリコン原子を除去するものである。格子間シリコン原子と不純物とが結合したペアは拡散係数が大きくなり、低温でもシリコン基板中を速い速度で拡散する（増速拡散）。その結果、チャネル領域の不純物分布が変化し、これに伴い、短チャネル特性（短チャネル効果に対する耐性）が低下して閾値電圧のばらつきが大きくなる。本発明はこのような問題を、第一の熱処理によって格子間シリコン原子を除去することで解決している。

【0048】本発明における第二の熱処理は、フッ素をゲート電極下のチャネル領域に拡散させるものである。すなわちこの熱処理は、ゲート電極脇のソース・ドレイン形成箇所表面に導入されたフッ素をゲート電極下の領域に押し込むものである。チャネル領域を構成するシリコンは、もともと図16(a)のように末端部が水素と結合しているか、あるいは未結合のまま残存した形態となっている。これらはいずれもフッ素により置換され、図16(b)のようになる。第二の熱処理によりフッ素がチャネル領域全域にわたって分布するようになり、チャネル領域を構成するシリコンのSi-H結合やダングリングボンドが効率的にフッ素で置換される。これによりスロートラップ特性が顕著に改善される。この熱処理によってフッ素が確実に結合するため、スロートラップ特性の改善効果が十分に得られ、また、後の工程において未結合のフッ素が残存することにより生じる素子特性の劣化を抑えることができる。

【0049】さらに、本発明はフッ素の結合効率を高めることができることから、フッ素導入量を必要最小限にすることができ、工程上、有利となる。ここで、フッ素の結合効率とは、導入したフッ素のうち、Si-F結合に消費されたものの割合を示す。フッ素の結合効率が高ければ、必要最低限のフッ素導入量で、ダングリングボンドやSi-H結合をSi-F結合に効率良く変換することが可能となる。

【0050】スロートラップ特性を改善するには、チャネル領域の全域にわたり、一定程度以上のフッ素置換が行われなければならないことから、フッ素の結合効率が低い場合、所望のスロートラップ特性を得るためには相当量のフッ素を導入することが必要となる。ところがこ

10

20

30

40

50



のようにすると、未結合フッ素がシリコン基板中に導入され、その後の工程で層間絶縁膜などの上層膜を形成した際、上層膜やその界面にフッ素ガスが閉じこめられ、膜の膨れや剥離が生じる場合がある。本発明は上記のように2段階の熱処理を行っているため、このような問題を解消することができる。また、フッ素導入量を必要最小限にできることから、ゲート電極を通過し、ゲート絶縁膜に偏析するフッ素を低減できる。ゲート絶縁膜にフッ素が偏析するとボロン突き抜けが顕著となり、微細化された素子、たとえばゲート長0.15 $\mu\text{m}$ 以下のゲート電極を具備したトランジスタでは特に、閾値電圧の変動等が問題となる。本発明によれば、このような微細化された素子に特有の課題も解決することができる。

【0051】以上のように本発明のMOSトランジスタの製造方法は、フッ素を導入後、特定の熱処理を行うことによりフッ素をゲート絶縁膜直下の領域に拡散させ、これによりスロートラップ特性を改善するものである。この点、従来技術の項で説明したフッ素を導入する種々の技術と相違している。これら従来技術はいずれも、ソース・ドレインの端部やゲート絶縁膜中にフッ素を導入するものであり、本発明とはフッ素を偏析させる箇所が異なっている。スロートラップ特性改善のためにはゲート絶縁膜直下のチャネル領域全域にわたって偏析させることが有効なものであり、本発明は、このような状態を2段階の熱処理を行うことによって実現し、スロートラップ特性を改善している。

【0052】なお本発明においては、ゲート電極周辺のシリコン基板表面にフッ素イオンをイオン注入するものであるが、このとき同時にゲート電極に対してフッ素イオンを注入してもよい。本発明においてはゲート電極形成後にフッ素イオンを注入しているため、基板全面にフッ素をイオン注入しても、ゲート電極がマスクとなり、チャネル領域のゲート絶縁膜中にはほとんどフッ素が導入されない。したがって、ゲート電極にフッ素イオンを注入してもボロン突き抜けの問題は起こりにくい。

【0053】また、上記【8】乃至【12】記載の発明にあっては、MOSトランジスタを構成するゲート電極および拡散層の表面の少なくとも一部に、高融点金属のシリサイド層を形成して低抵抗化を図っているが、これらの発明によれば、フッ素導入によるシリサイド層の品質の劣化を効果的に防止できる。

【0054】トランジスタの長期信頼性特性であるスロートラップ寿命の改善のためには、チャネル領域全域にフッ素を導入することが有効である。しかし、n型ゲート電極上やn型拡散層電極上にフッ素をイオン注入により導入した部分をシリサイド化する場合、表面近傍のSi結晶中にイオン注入起因の欠陥が多数存在しており、シリサイド化反応が著しく抑制される。

【0055】ゲート電極と拡散層電極との導通を防止するためにサイドウォール・スペーサ上の未反応金属を除

去する工程を行うことで、上記のシリサイド化反応が十分進まなかったn型ゲート電極上やn型拡散層電極上領域のシリサイドも除去され、その結果エッチング液に溶出しない珪素や二酸化珪素のみが残存し、隆起した表面形状となり、シリサイド層も高抵抗化される。

【0056】特に原子量の大きいn型不純物を導入するイオン注入によりSi-Si結合が多数切断された後に、フッ素注入によりフッ素を導入すると、結合エネルギーの極めて大きいSi-F結合が形成される。また、あらかじめフッ素を注入した領域に原子量の大きいn型不純物を導入するイオン注入を行うことでも、同様にSi-Si結合が多数切断され、格子間に存在するフッ素と珪素との間に新たに結合エネルギーの極めて大きいSi-F結合が形成される。このため、Siを拡散種とするシリサイド化反応において、Siの結合種が置換されるシリサイド化反応が著しく抑制されることになる。

【0057】上記【8】乃至【12】記載の発明はこのような問題を解決するものであり、シリサイド表面の形状劣化や高抵抗化を有効に防止し、かつ、チャネル領域にSi-F結合を高効率で形成するものである。

【0058】なお上記の記載において、特に砒素イオンの注入により形成したn型ゲート電極上やn型拡散層電極上シリサイド表面の形状劣化や高抵抗化を防止することについて述べているが、その他の重金属イオン（たとえばアンチモン）の注入により形成したn型ゲート電極上やn型拡散層電極上シリサイド表面の形状劣化や高抵抗化を防止することにも有効であることは明らかである。

【0059】

【発明の実施の形態】本発明における第一および第二の熱処理の順序は、第一の熱処理の後、第二の熱処理を行う必要がある。先に第二の熱処理を行った場合、基板表面に格子間シリコン原子が残った状態でフッ素拡散のための熱処理が行われることになり、このとき同時に他の不純物も拡散してしまい不純物分布が所望の分布と相違してしまう場合がある。たとえば、閾値電圧制御用の不純物や、ソース・ドレイン領域の不純物が、フッ素の拡散とともに分布を変えてしまうことがある。第一の熱処理と第二の熱処理を同時に行った場合も上記と同様の問題が起こり得る。

【0060】本発明において、第一の熱処理は格子間シリコン原子を消滅させるものである。この熱処理は、短時間で行うことが好ましい。第一の熱処理をあまり長くすると、フッ素イオン注入の際に基板中に導入された格子間シリコン原子の存在のため、すでに基板中に導入されている不純物の濃度分布が変動することがある。たとえば、トランジスタ閾値電圧調整用の不純物やソース・ドレイン領域の不純物の不純物濃度分布が変動してしまうことがある。特に、ボロンやヒ素は、格子間シリコン原子とペアを形成することでシリコン基板中を高速で拡

散する性質を有しており、これらの不純物を導入した後には第一の熱処理を行う場合は、上記不純物の拡散を防ぐため、熱処理を短時間で行うことが望ましい。一方、このように短時間の熱処理で十分に結晶結果を消滅させるには、処理温度を高くすることが必要となる。以上のことから、第一の熱処理は、RTA (Rapid Thermal Annealing) 等のランプアニールにより行うことが好ましい。熱処理の条件はフッ素イオン注入時のスルー酸化膜の有無等によって適宜調整されるが、熱処理温度は、好ましくは900～1100℃とし、熱処理時間はたとえば5秒～2分間程度とする。ここで、熱処理時間とは所定温度に到達後、その温度に保持する時間をいう。上記のような熱処理条件とすれば、フッ素とともに不純物が拡散することを抑えつつ格子間シリコン原子を効率的に除去することができる。

【0061】本発明における第二の熱処理は、フッ素をゲート電極下のチャネル領域に拡散させるものである。この熱処理を行うことにより、フッ素をゲート絶縁膜直下のチャネル領域の全域にフッ素を拡散させ、このフッ素をシリコンと結合させることができる。第二の熱処理条件は、第一の熱処理よりも低温で、かつ時間を長くすることが好ましい。第一の熱処理よりも温度が高かったり、あるいは時間が長い場合、すでに基板中に存在する他の不純物の分布が変動してしまうことがある。第二の熱処理の処理温度は、好ましくは600℃以上、より好ましくは650℃以上とする。また、好ましくは850℃以下、より好ましくは800℃以下とする。温度が低すぎるとフッ素置換が充分に行われず、スロートラップ特性の改善効果が充分に得られないことがある。一方、温度が高すぎるとフッ素の拡散とともに閾値電圧制御用の不純物やソース・ドレイン領域の不純物も拡散し、その分布が変動してしまうことがある。この傾向は、不純物がボロンの場合、特に顕著となる。第二の熱処理は、炉アニールによることが好ましく、熱処理時間は、好ましくは5～120分、さらに好ましくは10～60分とする。このようにすれば、ゲート絶縁膜直下の領域のシリコンのダングリングボンド等をフッ素で充分に置換することができる。

【0062】なお、本発明におけるフッ素のイオン注入とは、フッ素イオンを注入することをいい、フッ化ボロン(BF<sub>3</sub>)等の化合物の注入とは異なるものである。

【0063】本発明における第一の熱処理は、フッ素のイオン注入後、如何なる他の熱処理よりも先に行うことが好ましい。格子間シリコン原子-不純物ペアの増速拡散は、格子間シリコン原子が発生した直後の熱処理工程中に起きる。フッ素イオン注入の直後に、例えば、サイドウォール形成のためのCVD法による酸化膜形成工程があれば、700～800℃程度の熱履歴を経るため、そのときに増速拡散が生じる。フッ素イオン注入の直後に、ソース・ドレイン活性化のための熱処理があって

も、層間絶縁膜等の形成による熱履歴を経ても、その他の熱処理を経ても同様である。故に、望ましくない増速拡散を防ぐために、この第一の熱処理を他の熱処理よりも先に行うことが好ましい。

【0064】本発明は、pMOS (p型トランジスタ)、特にp型電極を備えた表面チャネル型のpMOSに適用した場合、一層効果的にスロートラップの問題を解決できる。pMOSの場合、nMOSに比較してドレイン飽和電流が小さく、スロートラップの影響が大きくなりやすいからである。特にp型電極を備えた表面チャネル型のpMOSでは、チャネル領域が狭いためにスロートラップの影響はさらに大きくなる。したがって本発明は、不純物としてボロンを用いた場合、さらには加速電圧8keV以下のイオン注入法により浅い接合のソース・ドレイン領域を形成するプロセスに適用した場合、一層効果的にスロートラップの問題を解決できる。

【0065】本発明において、コバルトシリサイド膜を形成するに先立ちフッ素イオン注入工程を行う場合は、nMOS形成領域にフォトレジストを設けて、pMOS形成領域にのみフッ素イオンを注入することが望ましい。nMOS形成領域にフッ素イオンを注入した場合、n型ゲート電極上やn型拡散層電極上シリサイド表面の形状劣化や高抵抗化が起こる。特に砒素イオンあるいはアンチモンイオンなど、原子量の大きいイオンを高エネルギーで注入する、もしくは高ドーズ量のイオンを注入する場合には、シリコン基板表面近傍のSi-Si結合が多数切断され、結合エネルギーの大きいSi-F結合が形成される。ここで、シリサイド化反応は、基板の珪素原子に結合している配位子が脱離し、珪素もしくはコバルトに置換される反応が自己凝集的に起こる反応であるから、上記の脱離反応が著しく起こりにくくなることにより、シリサイド化反応は抑制される。この結果、形成されたコバルトシリサイド膜は耐エッチング性に劣り、ゲート電極と拡散層電極との導通を防止するためにサイドウォール・スペーサ上の未反応金属を除去する工程において、容易にエッチング溶液中に溶出するようになる。

【0066】ここで、やむを得ずnMOS形成領域にフッ素イオンを注入する場合、砒素イオンのドーズ量を $4 \times 10^{15} \text{ cm}^{-2}$ 以下、より好ましくは $1 \times 10^{15} \text{ cm}^{-2}$ 以下として注入する、もしくは砒素イオンの加速電圧を30KeV以下として注入することにより、n型ゲート電極やn型拡散層電極を形成することが好ましい。この場合、砒素イオンに加えて、リンイオンなどの比較的原子量の小さいイオンを用いてn型ゲート電極やn型拡散層電極を形成してもよい。砒素イオンのドーズ量や加速電圧を小さくすることや、注入するイオン種の原子量を小さくすることで、シリコン基板表面近傍のSi-F結合を少なくすることができる。

【0067】本発明は、ゲート電極の幅が0.15μm

以下のMOSトランジスタやゲート絶縁膜の厚みが3 nm以下のMOSトランジスタに適用した場合に特に効果的である。このような微細化されたFETでは、スロートラップやホットエレクトロン効果による閾値電圧変動等の影響が大きくなるからである。

【0068】以下、本発明の好ましい実施形態について図面を参照して説明する。なお、各実施形態における熱処理温度はすべて基板温度である。また、熱処理時間は、基板温度が所定の温度に到達した以後の保持時間である。

【0069】(第1の実施形態)本発明をCMOS製造プロセスに適用した例について、図1～4を参照して説明する。まず図1(a)のように、シリコン基板1上に素子分離膜2を形成した後、nMOS形成領域にフォトレジスト3を設け、pMOS形成領域にリン等のn型不純物をイオン注入する。これによりn型ウェル4を形成する。つづいてフォトレジスト3を残したまま、閾値電圧調整のための不純物を注入する。

【0070】次いで図1(b)のように、pMOS形成領域にフォトレジスト3を設け、nMOS形成領域にp型不純物をイオン注入する。これによりp型ウェル6を形成する。つづいてフォトレジスト3を残したまま、閾値電圧調整のための不純物を注入する。

【0071】つづいて活性領域の表面にゲート絶縁膜7を形成した後、ゲート電極材料を積層する。ゲート絶縁膜としては、シリコン酸化膜やシリコン酸窒化膜を用いることができる。また、本実施形態ではゲート電極材料として多結晶シリコン8を形成しているが、これに限られるものではなく、タングステン含有膜や、タングステン含有膜と多結晶シリコンの積層膜とすることもできる。多結晶シリコン8の膜厚は、たとえば150 nm程度とする。

【0072】ゲート絶縁膜7およびゲート電極材料を形成した後、これらを公知の選択エッチングによりパターンニングしてゲート電極を形成する(図1(c))。ゲート長は適宜に設定されるが、本発明は、0.18 μm以下、特に0.15 μm以下のゲート長を有するゲート電極を含むMOSトランジスタの製造方法に適用した場合、特に効果的である。このようなゲート長のゲート電極を備えたトランジスタでは、短チャネル特性に対する要求水準が厳しくなるとともに、閾値電圧の絶対値が低下することからスロートラップの問題が特に顕著となるからである。

【0073】次に図2(a)に示すように、pMOS形成領域にフォトレジスト3を設け、nMOS形成領域にn型不純物をイオン注入し、ソース・ドレインエクステンション領域13を形成する。次いでフォトレジスト3を残したままp型不純物をイオン注入し、ポケット領域14を形成する。その後、格子間シリコン原子除去のためのRTAによる熱処理を適宜行う。

【0074】フォトレジスト3を剥離処理後、nMOS形成領域にフォトレジスト3を設け、フッ素のイオン注入を行う(図2(b))。これにより、基板上にフッ素がイオン注入された領域10が形成される。なお、本実施形態ではpMOSのみに対してイオン注入を行っているが、同時にnMOSに対してイオン注入してもよい。イオン注入時のドーズ量は、好ましくは $1 \times 10^{13} \text{ cm}^{-2}$ 以上、より好ましくは $5 \times 10^{13} \text{ cm}^{-2}$ 以上とする。また、好ましくは $1 \times 10^{15} \text{ cm}^{-2}$ 以下、より好ましくは $5 \times 10^{14} \text{ cm}^{-2}$ 以下とする。フッ素注入量が多すぎると短チャネル特性の劣化が顕著になる場合がある。注入量が少なすぎるとシリコンのSi-H結合やダングリングボンドが十分にフッ素で置換されず、スロートラップ特性が十分に改善されないことがある。また、加速電圧は10 keV以上30 keV以下とすることが好ましい。加速電圧が大きすぎると、イオン注入に伴い発生する格子格子間シリコン原子が大量となり、その後の熱処理工程で消滅しきれなくなり、増速拡散による不純物の再分布が生じる恐れがある。一方、加速電圧が小さすぎると、フッ素が十分に導入されずスロートラップ特性が十分に改善されないことがある。なお、フッ素イオン注入時に、基板表面に絶縁膜(スルー酸化膜等)を適宜設けても良い。

【0075】フッ素注入後、第一および第二の熱処理を行う(図2(c))。第一の熱処理はフッ素イオン注入に伴い基板表面に生じた格子間シリコン原子を消滅するものである。この熱処理は、基板への損傷を抑えつつ不純物を十分に活性化するため高温で短時間で行うことが好ましく、RTA等の手法が好ましく採用される。この場合、第一の熱処理の条件は、たとえば、熱処理温度を900～1100℃とし、熱処理時間を5秒～2分間程度とする。

【0076】第二の熱処理は、フッ素をゲート電極下のチャネル領域に拡散させるものである。すなわち、ゲート電極脇のソース・ドレイン形成箇所表面に導入されたフッ素を、ゲート電極下の領域に押し込むための熱処理である。この熱処理により、チャネル領域を構成するシリコンのSi-H結合やダングリングボンドが効率的にフッ素で置換される。この熱処理は炉アニールとすることが好ましい。処理温度は、好ましくは600℃以上、より好ましくは650℃以上とする。また、好ましくは850℃以下、より好ましくは800℃以下とする。温度が低すぎるとフッ素置換が充分に行われず、スロートラップ特性の改善効果が充分に得られないことがある。一方、温度が高すぎるとフッ素の拡散とともに閾値電圧制御用の不純物も拡散し、トランジスタの閾値電圧が変動する場合がある。

【0077】次に図2(d)に示すように、nMOS形成領域にフォトレジスト3を設けてpMOS形成領域にp型不純物をイオン注入し、ソース・ドレインエクステ

10

20

30

40

50

ンション領域16を形成する。次いでフォトレジスト3を残したままn型不純物をイオン注入し、ポケット領域17を形成する。

【0078】次いで、ゲート電極20およびゲート電極21に対して、それぞれ、サイドウォール18およびサイドウォール19を設ける(図3(a))。つづいてnMOS形成領域にフォトレジスト3を設けた後、pMOS形成領域にp型不純物のイオン注入を行う。これによりソース・ドレイン領域22の形成とゲート電極20への不純物導入が同時に行われる(図3(b))。p型不純物の種類は、ボロン(B<sup>+</sup>)やフッ化ボロン(BF<sub>3</sub><sup>+</sup>)等を用いることができるが、ボロンとした場合は、以下のような利点を得られる。

【0079】フッ化ボロン注入によりソース・ドレイン領域を形成すれば、浅い接合を実現するのに有利であるが、この場合、ボロンがゲート絶縁膜中に取り込まれたりゲート絶縁膜を突き抜けてシリコン基板中へ拡散してしまう、いわゆるボロン突き抜けの問題が起きやすい。これは、ゲート電極を低抵抗化するために導入される大量のボロンとともに、その2倍の量のフッ素が導入されてしまうため、フッ素がゲート酸化膜を突き抜けてボロンが拡散してしまう現象を促進することによるものである。この点、ボロン注入を用いれば、ボロン突き抜けを防止することができるが、一方では、フッ化ボロン注入の場合に比べてスロートラップ特性がより低下することが本発明者の検討結果により明らかにされている。故に、フッ素を如何にコントロールして導入するかが鍵となる。したがって本発明のMOSトランジスタの製造方法を用いれば、ボロン突き抜けを防止しつつスロートラップ特性を顕著に改善でき、従来にない高性能のトランジスタを形成することが可能となる。つまり、本願によれば、ボロン突き抜け問題を生じることなくスロートラップ特性を改善するのに最適な量のフッ素を導入することができる。

【0080】上記工程に引き続き、pMOS形成領域にフォトレジスト3を設けてnMOS形成領域にn型不純物のイオン注入を行う。これによりソース・ドレイン領域23の形成とゲート電極21への不純物導入が同時に行われる(図3(c))。

【0081】この後、ソース・ドレイン領域およびゲート電極中の不純物を活性化のための熱処理を行う。この熱処理は、基板への損傷を抑えつつ不純物を十分に活性化するため高温で短時間で行うことが好ましく、RTA等の手法が好ましく採用される。この場合、熱処理条件は適宜に選択されるが、たとえばRTA等のランプアニールにより処理を行い、熱処理温度900~1100℃、時間は5秒~1分間程度とする。

【0082】本実施形態では上記工程につづいてコバルトシリサイド27を形成し、ソース・ドレイン領域の低抵抗化やコンタクト抵抗の低減を図っている(図4

(a))。コバルトシリサイド27は、基板全面に膜厚10nm程度のコバルト膜をスパッタリング法により形成した後、熱処理を施すことにより形成することができる。

【0083】次に全面に層間絶縁膜を形成した後、タングステンプラグ29を形成する(図4(b))。本実施形態では層間絶縁膜をBPSG(リンボロンガラス)膜28としているが、他の絶縁膜、たとえば、SOG(Spin On Glass)膜やHSQ(Hydrogen Silsesquioxane)膜等を用いることもできる。層間絶縁膜を堆積後、コンタクトホールを設け、このコンタクトホールを埋め込むように、バリアメタル膜およびプラグ金属材料を成膜する。プラグ金属材料は、たとえばタングステン膜とする。バリアメタル膜はプラグ金属材料に応じて適宜選択され、タングステン膜に対してはTi/TiN等が好ましく用いられる。その後、公知の方法により上層配線等を形成し、CMOSを完成する。

【0084】なお、本実施形態ではCMOS形成プロセスを例にとって説明したが、DRAM等、他のデバイスのトランジスタ形成にも適用できることはいうまでもない。

【0085】(第2の実施形態)本実施形態は、第1の実施形態と類似の工程からなるが、フッ素注入工程を実施する時期、および注入箇所を変更している。以下、図面を参照して説明する。

【0086】まず第1の実施形態と同様にして図1に示す工程を行う。次に図5(a)に示すように、pMOS形成領域にフォトレジスト3を設け、nMOS形成領域にn型不純物をイオン注入し、ソース・ドレインエクステンション領域13を形成する。次いでフォトレジスト3を残したままp型不純物をイオン注入し、ポケット領域14を形成する。ここで、ソース・ドレインエクステンション領域13の形成においては、n型不純物のドーズ量、加速電圧を一定以下とすることが望ましい。たとえば砒素を用いる場合、ドーズ量を $4 \times 10^{15} \text{ cm}^{-2}$ 以下、あるいは、加速電圧を30KeV以下とすることが好ましい。このようにすれば、後の工程において拡散層およびゲート電極上にコバルトシリサイド27を形成する際、コバルトシリサイドの表面形状の劣化や高抵抗化を防止することができる。

【0087】フォトレジスト3を剥離した後、基板全面にフッ素のイオン注入を行う(図5(b))。本実施形態ではpMOSとnMOSの両方にイオン注入している。nMOSに対してもフッ素イオン注入することにより、ホットエレクトロン効果による素子特性の低下を防止できる。ホットエレクトロン効果とは、ソース・ドレイン間の電界により加速された高エネルギーの電子や衝突電離で発生した電子や正孔がゲート酸化膜中に注入されてMOS特性が変化する現象である。従来のMOSトランジスタにおいては、チャネル領域のシリコンは結合

力の弱いSi-H末端構造となっているため、トランジスタ駆動時にチャネルキャリアが衝突してSi-H結合が切断されやすかった。このようなSi-H結合の切断が生じると界面準位が発生し、ホットエレクトロン効果を引き起こす原因となる。ホットエレクトロン効果が発生すると閾値電圧変動や相互コンダクタンス $g_m$ の劣化が起き、素子の信頼性が大きく低下する。このような問題は特にnMOSにおいて顕著となる。nMOSはpMOSと比較して大きなドレイン飽和電流が流れるからである。さらにホットエレクトロン効果は、素子が微細化されゲート長が短くなり、ソース・ドレイン間に高電界が印加されるようになるとさらに顕著となる。フッ素注入をnMOSに対して行えば上記問題を解決し、ホットエレクトロン効果による閾値電圧変動や相互コンダクタンス $g_m$ の劣化を有効に防止することができる。

【0088】イオン注入時のドーズ量は、好ましくは $1 \times 10^{13} \text{ cm}^{-2}$ 以上、より好ましくは $5 \times 10^{13} \text{ cm}^{-2}$ 以上とする。また、好ましくは $1 \times 10^{13} \text{ cm}^{-2}$ 以下、より好ましくは $5 \times 10^{14} \text{ cm}^{-2}$ 以下とする。フッ素注入量が多すぎると短チャネル特性の劣化が顕著になりやすい。一方、注入量が少なすぎると、シリコンのSi-H結合やダングリングボンドが充分にフッ素で置換されず、pMOSにおけるスロートラップ特性の改善、あるいはnMOSにおける閾値電圧変動や相互コンダクタンス劣化の防止の効果が充分に得られないことがある。また、加速電圧は10keV以上30keV以下とすることが好ましい。加速電圧が大きすぎると、イオン注入に伴い発生する格子格子間シリコン原子が大量となり、その後のソース・ドレイン領域形成時に所望の不純物分布を得にくくなる場合がある。一方、加速電圧が小さすぎると、フッ素が充分に導入されず、pMOSにおけるスロートラップ特性の改善、あるいはnMOSにおける閾値電圧変動や相互コンダクタンス劣化の防止の効果が充分に得られないことがある。

【0089】フッ素注入後、第1の実施形態と同様、第一および第二の熱処理を行う(図5(c))。第一の熱処理はフッ素イオン注入に伴い基板表面に生じた格子間シリコン原子を消滅するものである。たとえばRTA等のランプアニールにより処理を行い、熱処理温度900~1100℃、好ましくは900~1000℃とし、時間は5秒~2分間程度とする。第二の熱処理は、フッ素をゲート電極下のチャネル領域に拡散させるものである。この熱処理に際し、処理温度は、好ましくは600℃以上、より好ましくは650℃以上とする。また、好ましくは850℃以下、より好ましくは800℃以下とする。温度が低すぎるとフッ素置換が充分に行われず、スロートラップ特性の改善効果が充分に得られないことがある。一方、温度が高すぎるとフッ素の拡散とともに閾値電圧制御用の不純物も拡散し、トランジスタの閾値電圧が変動する場合がある。

【0090】次に図5(d)に示すように、nMOS形成領域にフォトレジスト3を設けてpMOS形成領域にp型不純物をイオン注入し、ソース・ドレインエクステンション領域16を形成する。次いでフォトレジスト3を残したままn型不純物をイオン注入し、ポケット領域17を形成する。

【0091】その後、第1の実施形態と同様にして図3~図4に示した工程等を行い、CMOSを完成する。ここで、図3(c)の段階でソース・ドレイン領域23を形成する際、n型不純物のドーズ量、加速電圧を一定以下とすることが望ましい。たとえば砒素を用いる場合、ドーズ量を $4 \times 10^{15} \text{ cm}^{-2}$ 以下、あるいは、加速電圧を30KeV以下とすることが好ましい。このようにすれば、次工程において拡散層およびゲート電極上にコバルトシリサイド27を形成する際、コバルトシリサイドの表面形状の劣化や高抵抗化を防止することができる。

【0092】(第3の実施形態)本実施形態は、第1の実施形態と類似の工程からなるが、フッ素注入後のアニールを実施する時期を変更している点で第2の実施形態と異なる。以下、図6等を参照して説明する。

【0093】まず第1の実施形態と同様にして図1に示す工程を行う。次に図6(a)に示すように、pMOS形成領域にフォトレジスト3を設け、nMOS形成領域にn型不純物をイオン注入し、ソース・ドレインエクステンション領域13を形成する。次いでフォトレジスト3を残したままp型不純物をイオン注入し、ポケット領域14を形成する。この後、格子間シリコン原子除去のためのRTAによる熱処理を適宜行う。

【0094】フォトレジスト3を剥離処理後、nMOS形成領域にフォトレジスト3を設け、フッ素のイオン注入を行う(図6(b))。これにより、基板上にフッ素がイオン注入された領域10が形成される。フッ素のイオン注入条件の好ましい範囲およびその理由は、第1の実施形態で述べたのと同様である。

【0095】次に図6(c)に示すように、nMOS形成領域にフォトレジスト3を設けてpMOS形成領域にp型不純物をイオン注入し、ソース・ドレインエクステンション領域16を形成する。次いでフォトレジスト3を残したままn型不純物をイオン注入し、ポケット領域17を形成する。

【0096】フッ素注入後、第2の実施形態と同様、第一および第二の熱処理を行う(図6(d))。熱処理条件の好ましい範囲およびその理由は、第1の実施形態で述べたのと同様である。

【0097】その後、第1の実施形態と同様にして図3に示した工程等を行い、CMOSを完成する。

【0098】(第4の実施形態)第1~第3の実施形態では、ゲート電極のサイドウォール形成前にスロートラップ特性改善のためのフッ素イオン注入を行っているが、本実施形態ではサイドウォール形成後にフッ素イオ

10

20

30

40

50

ンを注入している。以下、図7～図9等を参照して説明する。

【0099】まず第1の実施形態と同様にして図1に示す工程を行う。次いで図7(a)に示すように、pMOS形成領域にフォトレジスト3を設け、nMOS形成領域にn型不純物をイオン注入し、ソース・ドレインエクステンション領域13を形成する。次いでフォトレジスト3を残したままp型不純物をイオン注入し、ポケット領域14を形成する。次に図7(b)に示すように、nMOS形成領域にフォトレジスト3を設けてpMOS形成領域にp型不純物をイオン注入し、ソース・ドレインエクステンション領域16を形成する。次いでフォトレジスト3を残したままn型不純物をイオン注入し、ポケット領域17を形成する。

【0100】ここで、図7(a)におけるソース・ドレインエクステンション領域の形成においては、n型不純物のドーズ量、加速電圧を一定以下とすることが望ましい。たとえば砒素を用いる場合、ドーズ量を $4 \times 10^{11} \text{ cm}^{-2}$ 以下、あるいは、加速電圧を30KeV以下とすることが好ましい。このようにすれば、後の工程において拡散層およびゲート電極上にコバルトシリサイド27を形成する際、コバルトシリサイドの表面形状の劣化や高抵抗化を防止することができる。

【0101】次いで、ゲート電極20およびゲート電極21に対して、それぞれ、サイドウォール18およびサイドウォール19を設ける(図8(a))。つづいてpMOS形成領域にフォトレジスト3を設けた後、nMOS形成領域にn型不純物のイオン注入を行う。これによりソース・ドレイン領域23の形成とゲート電極21への不純物導入が同時に行われる(図8(b))。

【0102】ここで、図8(b)におけるソース・ドレイン領域23の形成においては、n型不純物のドーズ量、加速電圧を一定以下とすることが望ましい。たとえば砒素を用いる場合、ドーズ量を $4 \times 10^{11} \text{ cm}^{-2}$ 以下、あるいは、加速電圧を30KeV以下とすることが好ましい。このようにすれば、後の工程において拡散層およびゲート電極上にコバルトシリサイド27を形成する際、コバルトシリサイドの表面形状の劣化や高抵抗化を防止することができる。

【0103】nMOS形成領域へソース・ドレイン領域形成のための不純物導入を行った後、つづいてnMOS形成領域にフォトレジスト3を設けてpMOS形成領域にp型不純物のイオン注入を行う。これによりソース・ドレイン領域22の形成とゲート電極20への不純物導入が同時に行われる(図8(c))。p型不純物の種類は、ボロン(B<sup>+</sup>)やフッ化ボロン(BF<sub>2</sub><sup>+</sup>)等を用いることができるが、第1の実施形態で述べたように、本発明の効果はボロンとした場合により顕著に発揮される。

【0104】フォトレジスト3を剥離処理後、ソース・

ドレイン領域22、23中の不純物を活性化するため熱処理を行う。この熱処理は、通常、RTA等により行い、たとえば900～1100℃で5秒間～1分間程度の処理とする。

【0105】つづいてフッ素のイオン注入を行う(図9(a))。本実施形態ではpMOSとnMOSの両方にイオン注入している。nMOSに対してもフッ素イオン注入することにより、ホットエレクトロン効果による素子特性の低下を防止できる。イオン注入条件の好ましい範囲およびその理由は、第2の実施形態で述べたのと同様である。

【0106】フッ素注入後、第1～第3の実施形態と同様、第一および第二の熱処理を行う(図9(b))。熱処理条件の好ましい範囲およびその理由は、第2の実施形態で述べたのと同様である。

【0107】その後、第1の実施形態と同様にして図4に示した工程等を行い、CMOSを完成する。

【0108】(第5の実施形態)本実施形態は、第4の実施形態と類似のプロセスであるが、pMOSのソース・ドレイン形成時に用いたレジストをそのまま残してフッ素注入を行う点、フッ素イオン注入に伴い基板表面に生じた格子間シリコン原子を消滅する目的で行う第一の熱処理を、ソース・ドレイン活性化のための熱処理と兼ねている点が相違している。これらの点で、本実施形態ではプロセスの簡略化が図られている。なお、本実施形態も、第3の実施形態と同様、サイドウォール形成後にフッ素イオンを注入している。以下、図面を参照して説明する。

【0109】まず図10(a)のように、シリコン基板1上に素子分離膜2を形成した後、nMOS形成領域にフォトレジスト3を設け、pMOS形成領域にリン等のn型不純物をイオン注入する。これによりn型ウェル4を形成する。つづいてフォトレジスト3を残したまま、閾値電圧調整のための不純物を注入する。

【0110】次いで図10(b)のように、pMOS形成領域にフォトレジスト3を設け、nMOS形成領域にp型不純物をイオン注入する。これによりp型ウェル6を形成する。つづいてフォトレジスト3を残したまま、閾値電圧調整のための不純物を注入する。

【0111】つづいて活性領域の表面にゲート絶縁膜7を形成した後、ゲート電極材料を積層する。ゲート絶縁膜としては、シリコン酸化膜やシリコン酸窒化膜、あるいは、酸化タンタル膜等の強誘電体膜を用いることができる。また、本実施形態ではゲート電極材料として多結晶シリコン8を形成しているが、これに限られるものではなく、タングステン含有膜や、タングステン含有膜と多結晶シリコンの積層膜とすることもできる。

【0112】本実施形態では、第1の実施形態等と比べて多結晶シリコン8の膜厚を薄くすることが好ましい。たとえば120～150nm程度とする。本実施形態で



はソース・ドレイン活性化のための熱処理を、フッ素イオン注入時の格子間シリコン原子を消滅するための第一の熱処理と兼ねているため、熱処理温度を通常より低めの温度に設定することとなる。しかし、熱処理温度を低くした場合、ゲート電極中の不純物の空乏化が起りやすくなる。そこで、上記のように多結晶シリコン8の膜厚を薄くし、ゲート電極中の不純物の空乏化を抑えることが望ましいのである。

【0113】ゲート絶縁膜7およびゲート電極材料を形成した後、これらを公知の選択エッチングによりパターンニングしてゲート電極を形成する(図10(c))。ゲート長は適宜に設定されるが、本発明は、0.18 $\mu$ m以下、特に0.15 $\mu$ m以下のゲート長を有するゲート電極を含むMOSトランジスタの製造方法に適用した場合、特に効果的である。このようなゲート長のゲート電極を備えたトランジスタでは、短チャネル特性に対する要求水準が厳しくなるとともに、閾値電圧の絶対値が低下することからスロートラップの問題が特に顕著となるからである。

【0114】次いで図11(a)に示すように、pMOS形成領域にフォトレジスト3を設け、nMOS形成領域にn型不純物をイオン注入し、ソース・ドレインエクステンション領域13を形成する。次いでフォトレジスト3を残したままp型不純物をイオン注入し、ポケット領域14を形成する。

【0115】次に図11(b)に示すように、nMOS形成領域にフォトレジスト3を設けてpMOS形成領域にp型不純物をイオン注入し、ソース・ドレインエクステンション領域16を形成する。次いでフォトレジスト3を残したままn型不純物をイオン注入し、ポケット領域17を形成する。

【0116】次いで、ゲート電極20およびゲート電極21に対して、それぞれ、サイドウォール18およびサイドウォール19を設ける(図12(a))。pMOS形成領域にフォトレジスト3を設けた後、nMOS形成領域にn型不純物のイオン注入を行う。これによりソース・ドレイン領域23の形成とゲート電極21への不純物導入が同時に行われる(図12(b))。

【0117】つづいてnMOS形成領域にフォトレジスト3を設けた後、pMOS形成領域にp型不純物のイオン注入を行う。これによりソース・ドレイン領域22の形成とゲート電極20への不純物導入が同時に行われる(図12(c))。p型不純物の種類は、ボロン(B<sup>+</sup>)やフッ化ボロン(BF<sub>2</sub><sup>+</sup>)等を用いることができるが、第1の実施形態で述べたように、本発明の効果はボロンとした場合により顕著に発揮される。

【0118】次に、上記フォトレジスト3を残したまま、フッ素のイオン注入を行う(図13(a))。この点、フォトレジスト3を剥離処理した後にフッ素イオン注入を行う第4の実施形態と相違する。また、本実施形

態では、フォトレジスト3剥離後にソース・ドレイン領域22、23中の不純物を活性化するため熱処理を行わず、この点でも第4の実施形態と相違する。

【0119】フッ素のイオン注入条件の好ましい範囲は、第2の実施形態で述べたのと同様である。フッ素注入後、第一および第二の熱処理を行う(図13

(b))。ここで、第一の熱処理は、ソース・ドレイン活性化のための熱処理と兼ねることとなる。第一の熱処理に関しては、たとえば900~950℃程度の処理温度とし、RTA等の方法を用いる。一方、第二の熱処理条件の好ましい範囲は、第2の実施形態で述べたのと同様である。

【0120】その後、第1の実施形態と同様にして図4に示した工程等を行い、CMOSを完成する。

【0121】(第6の実施形態)本実施形態は、第4の実施形態と類似のプロセスであるが、サイドウォール形成後ソース・ドレイン領域形成用のイオン注入を行う前にフッ素のイオン注入を行う点が相違している。以下、図面を参照して説明する。

【0122】まず第1の実施形態と同様にして図1に示す工程を行い、次いで第4の実施形態と同様にして図7に示す工程を行う。これにより、ソース・ドレインエクステンション領域13、16およびポケット領域14、17を形成する。

【0123】次に図14(a)に示すように、ゲート電極20およびゲート電極21に対して、それぞれ、サイドウォール18およびサイドウォール19を設ける。つづいて全面にフッ素のイオン注入を行い(図14

(b))、その後、第一および第二の熱処理を行う(図14(c))。フッ素のイオン注入条件や熱処理の好ましい範囲は、第2の実施形態で述べたのと同様である。

【0124】つづいてpMOS形成領域にフォトレジスト3を設けた後、nMOS形成領域にn型不純物のイオン注入を行う。これによりソース・ドレイン領域23の形成とゲート電極21への不純物導入が同時に行われる(図15(a))。つづいてnMOS形成領域にフォトレジスト3を設けた後、pMOS形成領域にp型不純物のイオン注入を行う。これによりソース・ドレイン領域22の形成とゲート電極20への不純物導入が同時に行われる(図15(b))。p型不純物の種類は、ボロン(B<sup>+</sup>)やフッ化ボロン(BF<sub>2</sub><sup>+</sup>)等を用いることができるが、第1の実施形態で述べたように、本発明の効果はボロンとした場合により顕著に発揮される。

【0125】その後、フォトレジスト3を剥離処理し、ソース・ドレイン領域22、23中の不純物を活性化するため熱処理を行う。この熱処理は、通常、RTA等により行い、たとえば900~1100℃で5秒間~1分間程度の処理とする。

【0126】その後、第1の実施形態と同様にして図4に示した工程等を行い、CMOSを完成する。

【0127】ここで、図7(a)におけるソース・ドレインエクステンション領域13の形成、および、図15(a)におけるソース・ドレイン領域23の形成においては、n型不純物のドーズ量、加速電圧を一定以下とすることが望ましい。たとえば砒素を用いる場合、ドーズ量を $4 \times 10^{11} \text{ cm}^{-2}$ 以下、あるいは、加速電圧を30 KeV以下とすることが好ましい。このようにすれば、拡散層およびゲート電極上にコバルトシリサイド27を形成する際、コバルトシリサイドの表面形状の劣化や高抵抗化を防止することができる。

【0128】以上述べた第1～第6の実施形態においては、ゲート電極形成後の種々の段階でフッ素イオン注入を行っている。いずれの実施形態も、以下の(a)～(c)の工程を含んでいる。

(a) ゲート電極形成工程

(b) サイドウォール形成工程

(c) ソース・ドレイン形成のためのイオン注入工程

このうち、第1～第3の実施形態は工程(a)、(b)の間、第4～第5の実施形態は工程(c)の後、第6の実施形態は工程(b)、(c)の間に、それぞれフッ素イオン注入を行っている。

【0129】ゲート絶縁膜直下の領域全域に対し、効率よくフッ素を拡散させ、フッ素結合を生成するという観点からは、上記工程(b)のサイドウォール形成前にフッ素イオン注入を行うことが好ましい。すなわち、フッ素を拡散させる第二の熱処理の後、ゲート電極の側面にサイドウォールを形成し、その後、ソース・ドレイン領域形成のための不純物をイオン注入する工程を行うことが好ましい。ここで、ソース・ドレイン領域形成のための不純物をイオン注入する工程とは、たとえば第1の実施形態における図3(b)の工程をいい、ソース・ドレインエクステンション領域形成のための不純物導入工程とは異なるものである。サイドウォールの設けられていない状態でフッ素のイオン注入を行えば、サイドウォール形成後に比べ、ゲート絶縁膜直下のチャネル領域と近接した位置にフッ素を導入でき、チャネル領域全体に均一にフッ素を分布させることができる。また、ソース・ドレイン形成前に格子間シリコン原子消滅のための第一の熱処理およびフッ素拡散のための第二の熱処理が行われることとなり、これらの熱処理がソース・ドレイン領域の不純物濃度分布に影響することを避けることができる。

【0130】一方、上記工程(b)のサイドウォール形成後にフッ素イオン注入を行えば、フッ素をチャネル領域全体にくまなくフッ素を分布させる点ではやや不利となる場合があるが、レジストマスクの形成や熱処理の工程を省略でき、プロセス簡略化の利点を得ることが可能となる。

【0131】

【実施例】実施例1

本実施例は、本発明をCMOS製造プロセスに適用した例を示すものである。以下、図1～4を参照して説明する。なお、以後の記載における熱処理温度は、パイロメータによる非接触測定により基板温度を測定したものである。

【0132】まず図1(a)のように、シリコン基板1上にSTI(Shallow Trench Isolation)による素子分離膜2を形成した後、nMOS形成領域にフォトレジスト3を設け、pMOS形成領域にリンをイオン注入した。これによりn型ウェル4を形成した。つづいてフォトレジスト3を残したまま、閾値電圧調整のための不純物としてAsを注入した。イオン注入条件は、加速電圧100 keV、ドーズ量 $6 \times 10^{11} \text{ cm}^{-2}$ とした。

【0133】次いで図1(b)のように、pMOS形成領域にフォトレジスト3を設け、nMOS形成領域にボロンをイオン注入した。これによりp型ウェル6を形成した。つづいてフォトレジスト3を残したまま、閾値電圧調整のための不純物としてボロンを注入した。イオン注入条件は、加速電圧30 keV、ドーズ量 $2 \times 10^{11} \text{ cm}^{-2}$ とした。

【0134】基板表面に厚さ2.6 nmのシリコン酸窒化膜からなるゲート絶縁膜7を形成した。シリコン酸窒化膜は、シリコン酸化膜形成後、NO雰囲気下でアニールを行い、その後、必要に応じてさらに酸化を行うという方法により形成した。このゲート絶縁膜7の上に多結晶シリコン8を膜厚150 nmとして堆積した後、ゲート絶縁膜7および多結晶シリコン8を選択エッチングによりパターニングした(図1(c))。各ゲート電極のゲート長は0.13  $\mu\text{m}$ とした。

【0135】次に図2(a)に示すように、pMOS形成領域にフォトレジスト3を設けてnMOS形成領域にイオン注入し、ソース・ドレインエクステンション領域13を形成した。イオン種はAsとし、加速電圧2 keV、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ とした。次いでフォトレジスト3を残したままポケット領域14形成のためのイオン注入を行った。このイオン注入は注入角度を30度とする回転注入法により行った。イオン種としてBF<sub>3</sub>を用い、加速電圧30 keV、ドーズ量 $1.3 \times 10^{11} \text{ cm}^{-2}$ とした。この後、格子間シリコン原子除去のためのRTAによる熱処理を適宜行う。

【0136】つづいてpMOS形成領域にフォトレジスト3を設けた後、pMOSのスロートラップ改善のフッ素のイオン注入を行った(図2(b))。注入条件は、加速電圧15 keV、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ とした。フッ素注入後、2段階のアニールを行った(図2(c))。第一の熱処理として、RTAにより、950℃、10秒間の熱処理を行った。この熱処理により、フッ素イオン注入に伴い基板表面に生じた格子間シリコン原子が消滅する。第二の熱処理として、炉アニールにより、700℃、30分間の熱処理を行った。この熱処理



により、フッ素がゲート電極下のチャネル領域に拡散し、ゲート絶縁膜直下のチャネル領域に到達する。これによりチャネル領域を構成するシリコンのSi-H結合やダングリングボンドが効率的にフッ素で置換される。

【0137】次に図2(d)に示すように、nMOS形成領域にフォトレジスト3を設けてpMOS形成領域にイオン注入し、ソース・ドレインエクステンション領域16を形成した。イオン種はBF<sub>3</sub>とし、加速電圧2.5 keV、ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ とした。次いでフォトレジスト3を残したままポケット領域17形成のためのイオン注入を行った。このイオン注入は注入角度を30度とする回転注入法により行った。イオン種としてAsを用い、加速電圧80 keV、ドーズ量 $1.5 \times 10^{13} \text{ cm}^{-2}$ とした。

【0138】フォトレジスト3を剥離処理後、ゲート電極20およびゲート電極21に対して、それぞれ、シリコン酸化膜からなるサイドウォール18およびサイドウォール19を設けた(図3(a))。つづいてnMOS形成領域にフォトレジスト3を設けた後、pMOS形成領域にボロンのイオン注入を行った。これによりソース・ドレイン領域22の形成とゲート電極20への不純物導入が同時に行われた(図3(b))。注入条件は、加速電圧5 keV、ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ とした。

【0139】つづいてpMOS形成領域にフォトレジスト3を設けた後、nMOS形成領域にヒ素のイオン注入を行った。これによりソース・ドレイン領域23の形成とゲート電極21への不純物導入が同時に行われた(図3(c))。ヒ素注入条件は、加速電圧30 keV、ドーズ量 $6 \times 10^{13} \text{ cm}^{-2}$ とした。その後、窒素雰囲気下、1000℃、10秒間のRTA処理を行い、ソース・ドレイン領域およびゲート電極中の不純物を活性化した。

【0140】次に、基板全面に膜厚10 nmのコバルト膜をスパッタリング法により形成した後、熱処理を施すことによりコバルトシリサイド27を形成した(図4(a))。コバルトシリサイド27は、図示したようにゲート電極およびソース・ドレイン領域上に形成される。コバルトシリサイド27の膜厚は約35 nmとなった。

【0141】次に層間絶縁膜として全面にBPSG(リンボロンガラス)膜28を堆積後、コンタクトホールを設けた。このコンタクトホールを埋め込むように、Ti/TiNからなるバリアメタル膜およびタングステン膜をこの順で成膜した後(不図示)、CMPによりタングステンプラグ29を形成した(図4(b))。その後、公知の方法により上層配線等を形成し、CMOSを完成した。

#### 【0142】比較例1

図2(b)～(c)の工程を行わずフッ素を導入しなかったこと以外は実施例1とほぼ同様にしてCMOSを作

製した。

【0143】上記実施例1および比較例1で作製したCMOSを構成するpMOSについて、それぞれ耐スロートラップ特性を評価した。

【0144】評価は、200℃雰囲気中に放置した際の閾値電圧 $V_{th}$ の変動を測定することにより行った。このような高温下に放置した場合、ゲート絶縁膜やチャネル領域中にダングリングボンドが発生しやすく、スロートラップの発生が促進され、閾値電圧の変化が大きくなる。

すなわち本実施例の評価は耐スロートラップ特性の加速試験となる。評価結果を図20に示す。実施例1のものは、比較例1のものに比べ閾値電圧の変動( $\Delta V_{th}$ )が小さく、スロートラップが抑制されていることがわかる。

【0145】ここで、上記実施例1で作製したNMOSソース・ドレイン領域上のシリサイド表面形状をウェハごとに調べた。図21に、縦軸に良品率を横軸に処理枚数をとった結果を示す。

【0146】図21からわかる通り、いずれのウェハについても処理枚数によらずほとんどシリサイド表面の劣化は起こっていない。すなわち、フッ素イオンがNMOSソース・ドレイン領域上に注入されない為、シリサイド反応が抑制されることはない。

#### 【0147】実施例2

本実施例は、実施例1と類似の工程を経て、本発明をCMOS製造プロセスに適用した例を示すものである。ただし、実施例1ではスロートラップ改善の為にフッ素のイオン注入をpMOS形成領域のみに加速電圧15 KeV、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ で行っていたが、本実施例ではゲートのパターニング直後(図1(c))にウェハ全面に加速電圧15 KeV、ドーズ量 $3 \times 10^{13} \text{ cm}^{-2}$ で行っている。また、実施例1ではnMOSのソースドレイン形成の為にフッ素イオンの注入(図3(c))を、加速電圧30 KeV、ドーズ量 $6 \times 10^{13} \text{ cm}^{-2}$ で行っているが、本実施例では加速電圧50 KeV、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ で行っている。

#### 【0148】比較例2-1

上記実施例2の工程のうち、nMOSのソースドレイン形成の為にフッ素イオンの注入を、加速電圧50 KeV、ドーズ量 $6 \times 10^{13} \text{ cm}^{-2}$ で行ってCMOSを作製した。

#### 【0149】比較例2-2

上記比較例2-1の工程のうち、フッ素イオンの注入を、nMOSのソースドレイン形成の為にフッ素イオン注入の後に行ってCMOSを作製した。すなわち、図3(c)の状態からフォトレジスト3を除去した後フッ素イオンの注入を行った。

【0150】上記実施例2及び比較例2-1、2-2で作製したNMOSソース・ドレイン領域上のシリサイド表面形状をウェハごとに調べた。図22に、縦軸に良品

率を横軸に処理枚数をとった結果を示す。なお、上記実施例2及び比較例2-1、2-2におけるNMOS領域へのn型不純物のドーズ量および加速電圧を表1に示す。

【0151】図22からわかる通り、実施例2で作製したウェハについては、処理枚数に依らずコバルトをスパッタしたシリコン基板上の表面不良は発生しない。

【0152】これに対し、比較例2-1で作製したウェハについては、処理枚数に依らずコバルトをスパッタしたシリコン基板表面の表面不良が発生しやすくなっている。フッ素を注入した後に砒素を大量に注入することにより、シリコン基板表面近傍のSi-Si結合が多量に切断される。これらが基板内に残存していたフッ素と結合し、nMOSソース・ドレイン領域の表面近傍に結合エネルギーの大きいSi-F結合が形成され、コバルトとシリコンとの反応が抑制され、その結果シリサイド膜の一部がサイドウォール・スペーサ上の未反応金属を除去する工程において、エッチング溶液中に溶出したためである。

【0153】また、比較例2-2で作製したウェハについては、さらにコバルトをスパッタしたシリコン基板表面の表面不良が発生しやすくなっている。これは、砒素を注入して表面近傍のSi-Si結合が多量に切断された後にフッ素を注入した場合、より多くのフッ素イオンが、Si-Si結合の切断された珪素原子のダングリングボンドを修飾することに消費されるためである。

【0154】また、上記実施例2及び比較例2-1、2-2で作製したpMOSについて、それぞれの耐スロートラップ特性を評価した。

【0155】評価は、200℃雰囲気中に放置した際の閾値電圧値 $V_{th}$ の変動を測定することにより行った。評価結果を図23に示す。比較例2-2のもののみが閾値電圧の変動が大きくなっている。これは、サイドウォール・スペーサが存在した後にフッ素イオンを注入している為に、ゲート酸化膜界面のダングリングボンドを修飾する効果が少ないためである。

#### 【0156】実施例3

本実施例は、実施例1と類似の工程を経て、本発明をCMOS製造プロセスに適用した例を示すものである。ただし、実施例1ではスロートラップ改善の為にフッ素のイオン注入をpMOS形成領域のみに加速電圧15 KeV、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ で行っていたが、本実施例ではゲートのパターニング直後にウェハ全面に加速電圧15 KeV、ドーズ量 $3 \times 10^{11} \text{ cm}^{-2}$ で行っている(図1(c))。

#### 【0157】比較例3-1

上記実施例3の工程のうち、nMOSのソースドレイン形成の為にフッ素イオンの注入を、加速電圧50 Ke

V、ドーズ量 $6 \times 10^{11} \text{ cm}^{-2}$ で行ってCMOSを作製した。

#### 【0158】比較例3-2

上記比較例3-1の工程のうち、フッ素イオンの注入を、nMOSのソースドレイン形成の為にフッ素イオン注入の後に行ってCMOSを作製した。

【0159】上記実施例3及び比較例3-1、3-2で作製したNMOSソース・ドレイン領域上のシリサイド表面形状をウェハごとに調べた。図24に、縦軸に良品率を横軸に処理枚数をとった結果を示す。なお、上記実施例3及び比較例3-1、3-2におけるNMOS領域へのn型不純物のドーズ量および加速電圧を表1に示す。

【0160】図24からわかる通り、実施例3で作製したウェハについては、処理枚数に依らずコバルトをスパッタしたシリコン基板上の表面不良は発生しない。これに対し、比較例3-1で作製したウェハについては、処理枚数に依らずコバルトをスパッタしたシリコン基板表面の表面不良が発生しやすくなっている。フッ素を注入した後に砒素を高加速電圧で注入することにより、シリコン基板表面近傍のSi-Si結合が深さ方向に対し多量に切断される。これらが基板内に残存していたフッ素と結合し、nMOSソース・ドレイン領域の表面近傍に結合エネルギーの大きいSi-F結合が形成され、コバルトとシリコンとの反応が抑制され、その結果シリサイド膜の一部がサイドウォール・スペーサ上の未反応金属を除去する工程において、エッチング溶液中に溶出したためである。

【0161】また、比較例3-2で作製したウェハについては、さらにコバルトをスパッタしたシリコン基板表面の表面不良が発生しやすくなっている。これは、砒素を注入して表面近傍のSi-Si結合が多量に切断された後にフッ素を注入した場合、より多くのフッ素イオンが、Si-Si結合の切断された珪素原子のダングリングボンドを修飾することに消費されるためである。

【0162】また、上記実施例3及び比較例3-1、3-2で作製したpMOSについて、それぞれの耐スロートラップ特性を評価した。

【0163】評価は、200℃雰囲気中に放置した際の閾値電圧値 $V_{th}$ の変動を測定することにより行った。評価結果を図25に示す。比較例3-2のもののみが閾値電圧の変動が大きくなっている。これは、サイドウォール・スペーサが存在した後にフッ素イオンを注入している為に、ゲート酸化膜界面のダングリングボンドを修飾する効果が少ないためである。

#### 【0164】

【表1】

	ソース・ドレイン エクステンション領域		ソース・ドレイン領域	
	ドーズ量 ( $\times 10^{15} \text{ cm}^{-2}$ )	加速電圧 (KeV)	ドーズ量 ( $\times 10^{15} \text{ cm}^{-2}$ )	加速電圧 (KeV)
実施例1	0.5	2	6	30
実施例2	0.5	2	1	50
比較例2-1	0.5	2	6	50
比較例2-2	0.5	2	6	50
実施例3	0.5	2	6	30
比較例3-1	0.5	2	6	50
比較例3-2	0.5	2	6	50

## 【0165】

【発明の効果】以上のように本発明によれば、フッ素のイオン注入を行った後、2段階の熱処理を行うため、チャネル領域のシリコン末端部をフッ素により効率的に置換することができる。このためスロートラップを抑制し、トランジスタの長期信頼性を改善できる。

【0166】また本発明によれば、後の工程で表面に高融点金属シリサイドを形成するnMOSゲート電極、拡散層電極上にフッ素イオンの注入を行わないことにより、良好なシリサイド表面形状を得ることができる。またやむを得ず、nMOSゲート電極、拡散層電極上にフッ素イオンを注入する場合においても、nMOS形成の為のイオン注入拡散種の原子量を小さくする、もしくはイオン注入の注入ドーズ量を小さくする、あるいは加速電圧を小さくすることにより、良好なシリサイド表面形状を得ることができる。

## 【図面の簡単な説明】

【図1】本発明のMOSトランジスタの製造方法を示す工程断面図である。

【図2】本発明のMOSトランジスタの製造方法を示す工程断面図である。

【図3】本発明のMOSトランジスタの製造方法を示す工程断面図である。

【図4】本発明のMOSトランジスタの製造方法を示す工程断面図である。

【図5】本発明のMOSトランジスタの製造方法を示す工程断面図である。

【図6】本発明のMOSトランジスタの製造方法を示す工程断面図である。

【図7】本発明のMOSトランジスタの製造方法を示す工程断面図である。

【図8】本発明のMOSトランジスタの製造方法を示す工程断面図である。

【図9】本発明のMOSトランジスタの製造方法を示す工程断面図である。

【図10】本発明のMOSトランジスタの製造方法を示

す工程断面図である。

【図11】本発明のMOSトランジスタの製造方法を示す工程断面図である。

【図12】本発明のMOSトランジスタの製造方法を示す工程断面図である。

20 【図13】本発明のMOSトランジスタの製造方法を示す工程断面図である。

【図14】本発明のMOSトランジスタの製造方法を示す工程断面図である。

【図15】本発明のMOSトランジスタの製造方法を示す工程断面図である。

【図16】シリコン末端部の構造を説明するための図である。

【図17】従来のMOSトランジスタの製造方法を示す工程断面図である。

30 【図18】従来のMOSトランジスタの製造方法を示す工程断面図である。

【図19】従来のMOSトランジスタの製造方法を示す工程断面図である。

【図20】本発明の適用によるスロートラップ改善効果を説明するための図である。

【図21】本発明の適用によるシリサイド表面形状の良品率を処理枚数との相関を示した図である。

【図22】本発明の適用によるシリサイド表面形状の良品率を処理枚数との相関を示した図である。

40 【図23】本発明の適用によるスロートラップ改善効果を示した図である。

【図24】本発明の適用によるシリサイド表面形状の良品率を処理枚数との相関を示した図である。

【図25】本発明の適用によるスロートラップ改善効果を示した図である。

## 【符号の説明】

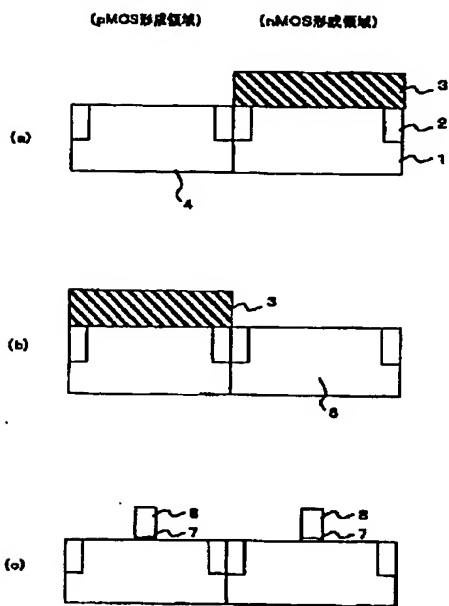
- 1 シリコン基板
- 2 素子分離膜
- 3 フォトレジスト
- 4 n型ウェル

- 6 p型ウェル
- 7 ゲート絶縁膜
- 8 多結晶シリコン
- 10 フッ素がイオン注入された領域
- 12 フォトリソist
- 13 ソース・ドレインエクステンション領域
- 14 ポケット領域
- 15 フォトリソist
- 16 ソース・ドレインエクステンション領域
- 17 ポケット領域

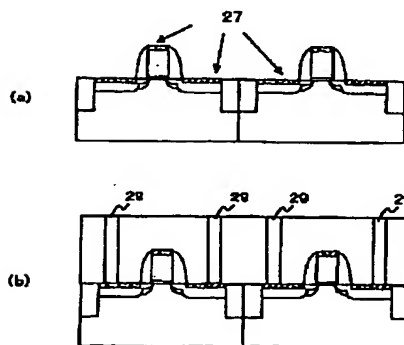
- \*18 サイドウォール
- 19 サイドウォール
- 20 ゲート電極
- 21 ゲート電極
- 22 ソース・ドレイン領域
- 23 ソース・ドレイン領域
- 27 コバルトシリサイド
- 28 BPSG (リンボロンガラス) 膜
- 29 タングステンプラグ

\*10

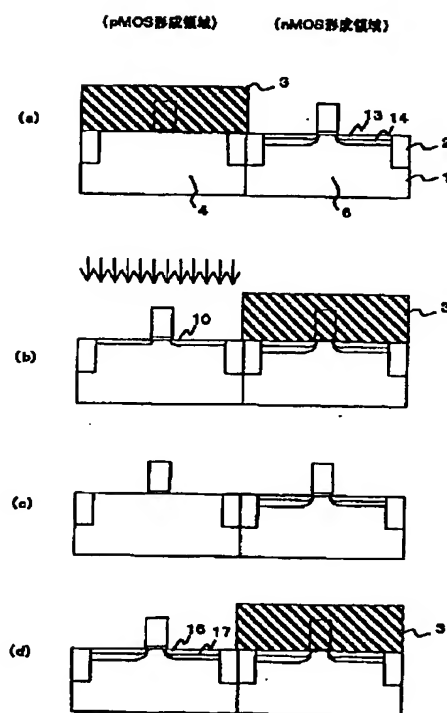
【図1】



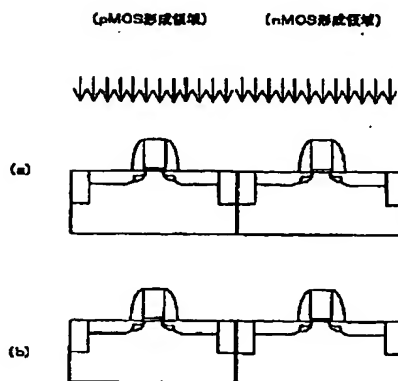
【図4】



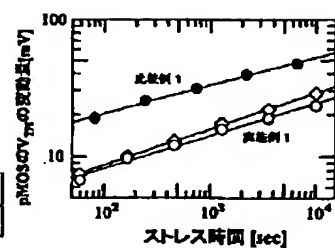
【図2】



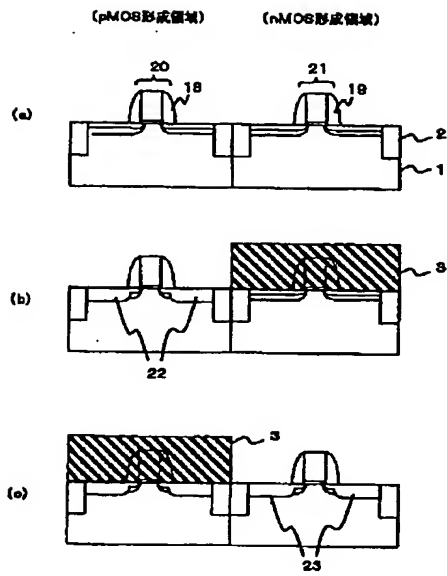
【図9】



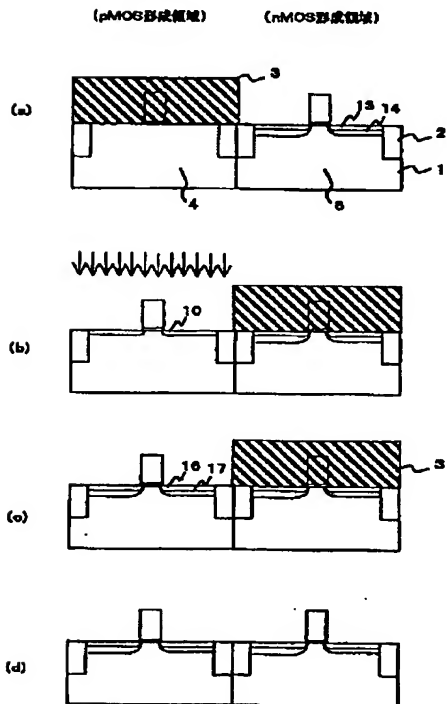
【図20】



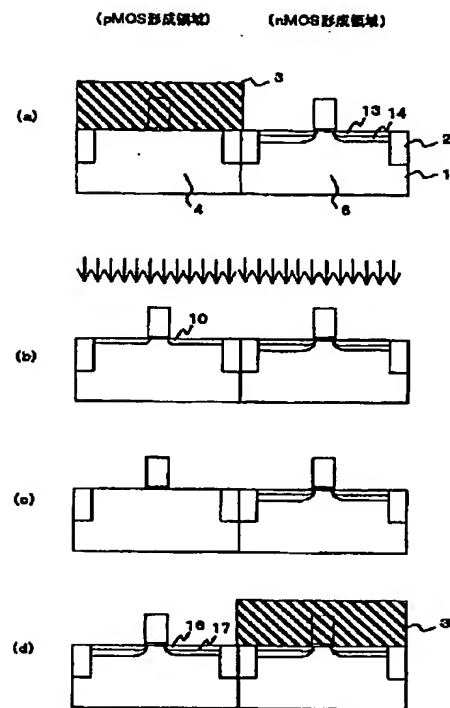
【図3】



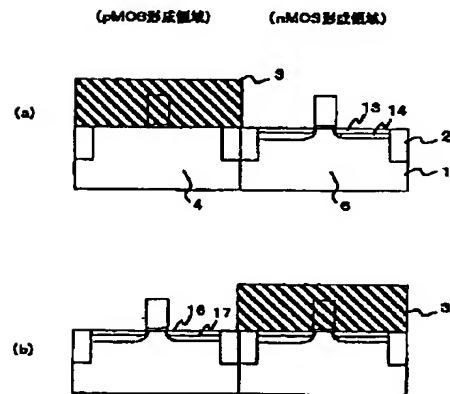
【図6】



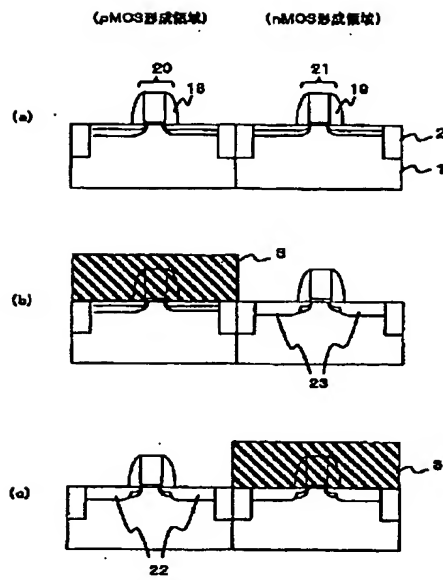
【図5】



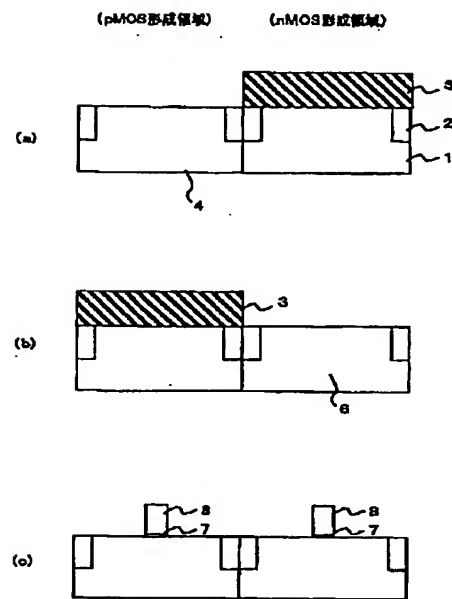
【図7】



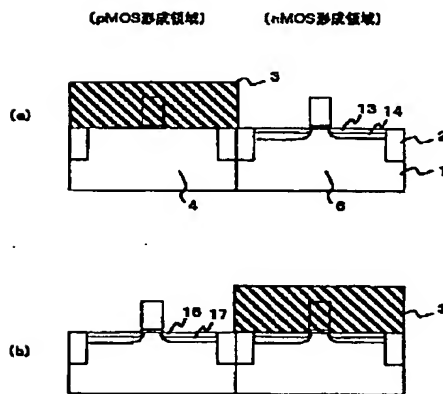
【図8】



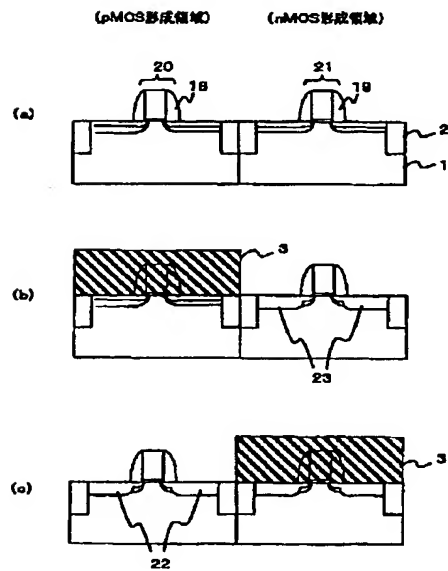
【図10】



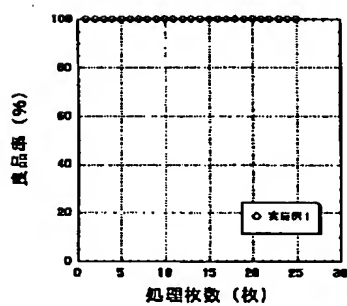
【図11】



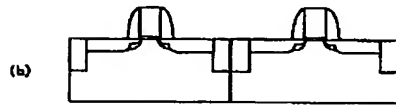
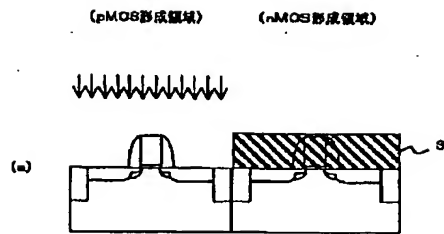
【図12】



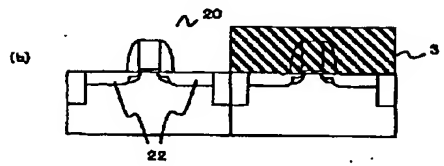
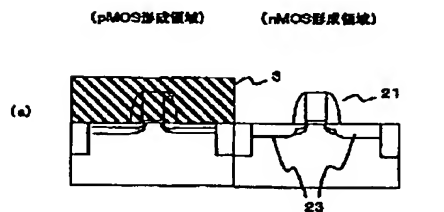
【図21】



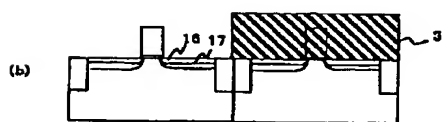
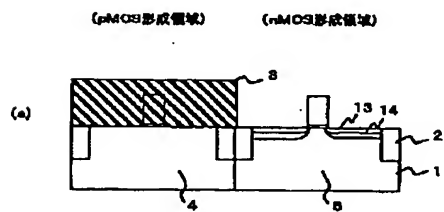
【図13】



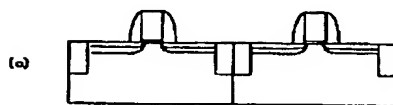
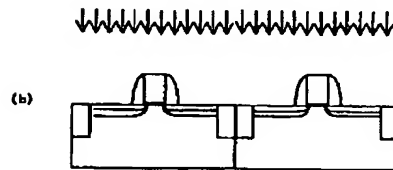
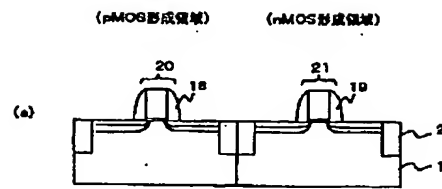
【図15】



【図18】



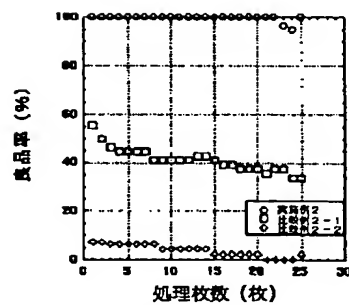
【図14】



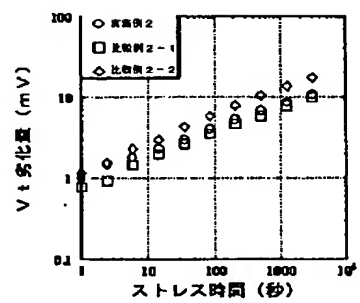
【図16】



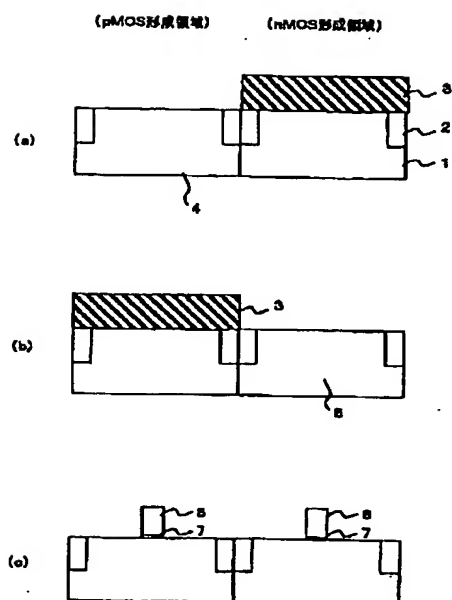
【図22】



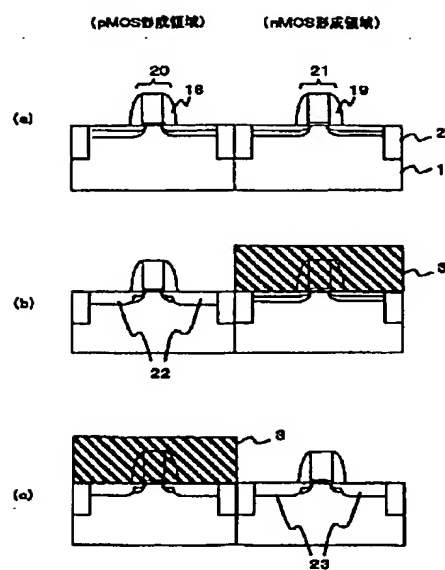
【図23】



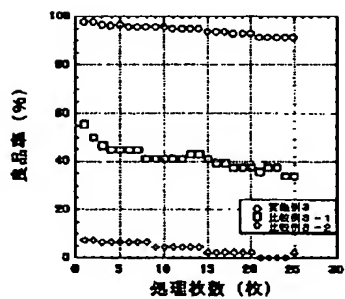
【図17】



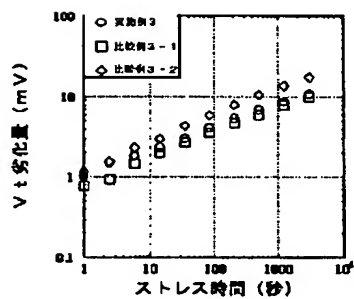
【図19】



【図24】



【図25】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

H01L 21/8238

27/092

21/336

識別記号

FI

H01L 27/08

29/78

テーマコード(参考)

321E

321C

301G

301P



F ターム(参考) 4M104 BB01 BB14 BB18 BB19 BB20  
BB21 CC01 CC05 DD19 DD37  
DD79 DD80 DD82 DD84 EE09  
FF14 FF18 FF22 GG09 GG10  
GG14 HH16 HH20  
5F040 DA06 DA18 DB03 EC01 EC07  
EC13 ED03 EE05 EF02 EH02  
EJ02 EJ03 EK05 EM01 EM02  
FA05 FB02 FC13 FC15  
5F048 AA07 AB01 AC03 BA01 BB06  
BB07 BB09 BB11 BB12 BC06  
BD04 BF06 BF07 BG01 BG14  
DA25